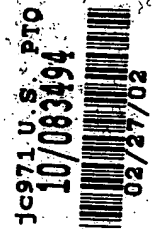


日本国特許庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 4月10日

出願番号

Application Number:

特願2001-111099

[ST.10/C]:

[JP2001-111099]

出願人

Applicant(s):

日本ビクター株式会社

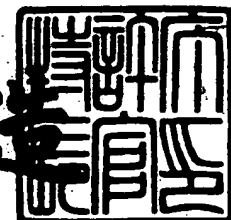
Best Available Copy

CERTIFIED COPY OF
PRIORITY DOCUMENT

2002年 2月15日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2002-300792-7

【書類名】 特許願

【整理番号】 413000447

【提出日】 平成13年 4月10日

【あて先】 特許庁長官殿

【国際特許分類】 G11B 20/10

【発明者】

【住所又は居所】 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

【氏名】 戸波 淳一郎

【特許出願人】

【識別番号】 000004329

【氏名又は名称】 日本ビクター株式会社

【代表者】 守随 武雄

【電話番号】 045-450-2423

【先の出願に基づく優先権主張】

【出願番号】 特願2001- 80206

【出願日】 平成13年 3月21日

【手数料の表示】

【予納台帳番号】 003654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 デジタル信号再生装置

【特許請求の範囲】

【請求項 1】

DCレベル制御信号に基づき、再生信号のDCレベルを制御するDC制御手段と、

前記DC制御手段の出力を所定のクロックでサンプリングしてサンプリング後信号を出力するサンプリング手段と、

前記サンプリング後信号、もしくは前記サンプリング後信号をフィルタリングした信号を、スライスもしくは復号して2値化後信号を出力する2値化手段と、

前記2値化後信号に基づき、前記DCレベル制御信号を出力するDCレベル制御信号出力手段と、

前記2値化後信号に基づいて変調コードパターンの偏りを検出し、変調コードパターン偏り情報を出力するコード偏り検出手段と、

前記変調コードパターン偏り情報に基づき、前記DC制御手段、前記サンプリング手段、前記2値化手段、および前記DC制御信号出力手段で構成されるループの応答特性を変化させる、もしくは前記DC制御手段のDC制御を停止させるとともに、

前記再生信号、もしくは前記サンプリング後信号、もしくは前記サンプリング後信号をフィルタリングした信号、もしくは前記サンプリング後信号のいずれかの信号からDCオフセット信号を減算するDCオフセット信号減算手段と、

前記サンプリング後信号、もしくは前記サンプリング後信号をフィルタリングした信号、もしくは前記DCオフセット信号減算手段の出力信号のいずれかの信号に対して、0クロスポイントに相当するサンプリング点のみの低域周波数成分を前記DCオフセット信号として抽出するDCオフセット抽出手段とを有することを特徴とするデジタル信号再生装置。

【請求項 2】

入力される再生信号をを所定のクロックでサンプリングしてサンプリング後信号を出力するサンプリング手段と、

DCレベル制御信号に基づき、前記サンプリング後信号のDCレベルを制御するDC制御手段と、

前記DC制御手段の出力信号、もしくは前記DC制御手段の出力信号をフィルタリングした信号を、スライスもしくは復号して2値化後信号を出力する2値化手段と、

前記2値化後信号に基づき、前記DCレベル制御信号を出力するDCレベル制御信号出力手段と、

前記2値化後信号に基づいて変調コードパターンの偏りを検出し、変調コードパターン偏り情報を出力するコード偏り検出手段と、

前記変調コードパターン偏り情報に基づき、前記DC制御手段と前記2値化手段と前記DC制御信号出力手段で構成されるループの応答特性を変化させる、もしくは前記DC制御手段のDC制御を停止させるとともに、

前記サンプリング後信号、もしくは前記サンプリング後信号をフィルタリングした信号、もしくは前記サンプリング後信号のいずれかの信号からDCオフセット信号を減算するDCオフセット信号減算手段と、

前記サンプリング後信号、もしくは前記サンプリング後信号をフィルタリングした信号、もしくは前記DCオフセット信号減算手段の出力に対して、0クロスポイントに相当するサンプリング点のみの低域周波数成分を前記DCオフセット信号として抽出するDCオフセット抽出手段とを有することを特徴とするデジタル信号再生装置。

【請求項3】

入力される再生信号を所定のクロックでサンプリングしてサンプリング後信号を出力するサンプリング手段と、

DCレベル制御信号に基づき、前記サンプリング後信号のDCレベルを制御するDC制御手段と、

前記サンプリング後信号、もしくは前記サンプリング後信号をフィルタリングした信号を、スライスもしくは復号して2値化後信号を出力する2値化手段と、

前記2値化後信号に基づき、前記DCレベル制御信号を出力するDCレベル制御信号出力手段と、

前記 2 値化後信号に基づいて変調コードパターンの偏りを検出し、変調コードパターン偏り情報を出力するコード偏り検出手段と、

前記変調コードパターン偏り情報に基づき、前記 DC 制御手段の制御応答特性を変化させる、もしくは DC 制御を停止させるとともに、

前記サンプリング後信号、もしくは前記サンプリング後信号をフィルタリングした信号、もしくは前記サンプリング後信号のいずれかの信号から DC オフセット信号を減算する DC オフセット信号減算手段と、

前記サンプリング後信号、もしくは前記サンプリング後信号をフィルタリングした信号、もしくは前記 DC オフセット信号減算手段の出力信号のいずれかの信号に対して、0 クロスポイントに相当するサンプリング点のみの低域周波数成分を前記 DC オフセット信号として抽出する DC オフセット抽出手段とを有することを特徴とするデジタル信号再生装置。

【請求項 4】

DC レベル制御信号に基づき、再生信号の DC レベルを制御する DC 制御手段と、

前記 DC 制御手段の出力を所定のクロックでサンプリングしてサンプリング後信号を出力するサンプリング手段と、

前記サンプリング後信号をチャネルレートのデータにリサンプリングし、リサンプリング後信号を出力する DPLL 手段と、

前記リサンプリング後信号、もしくは前記リサンプリング後信号をフィルタリングした信号を、スライスもしくは復号して 2 値化後信号を出力する 2 値化手段と、

前記 2 値化後信号に基づき、前記 DC レベル制御信号を出力する DC レベル制御信号出力手段と、

前記 2 値化後信号に基づいて変調コードパターンの偏りを検出し、変調コードパターン偏り情報を出力するコード偏り検出手段と、

前記変調コードパターン偏り情報に基づき、前記 DC 制御手段、前記サンプリング手段、前記 2 値化手段、および前記 DC 制御信号出力手段で構成されるループの応答特性を変化させる、もしくは前記 DC 制御手段の DC 制御を停止させる

とともに、

前記サンプリング後信号、もしくは前記リサンプリング後信号、もしくは前記リサンプリング後信号のいずれかの信号をフィルタリングした信号、もしくは前記サンプリング後信号からDCオフセット信号を減算するDCオフセット信号減算手段と、

前記リサンプリング後信号、もしくは前記リサンプリング後信号をフィルタリングした信号、もしくは前記DCオフセット信号減算手段の出力信号のいずれかの信号に対して、0クロスポイントに相当するリサンプリング点のみの低域周波数成分を前記DCオフセット信号として抽出するDCオフセット抽出手段とを有することを特徴とするデジタル信号再生装置。

【請求項5】

前記コード偏り検出手段は、

前記2値化後信号の低域周波数成分もしくは変調コードパターンの偏りを抽出するための偏り抽出手段と、

前記偏り抽出手段の出力信号、もしくは前記偏り抽出手段の出力信号を所定の値と比較した結果を前記変調コードパターン偏り情報として出力するコードパターン偏り情報出力手段と

前記2値化手段の基準となるレベルに前記再生信号もしくは前記サンプリング信号が交わっていないこと検出し、その結果を無交差情報として出力する無交差検出手段と、

前記2値化後信号と、前記偏り抽出手段の出力信号に基づき、コードパターンのランダム性を検出し、ランダム情報を出力するランダム性検出手段と、

前記無交差情報とランダム情報に基づき、前記偏り抽出手段の値をリセットするリセット手段との少なくとも一つの手段を有することを特徴とする請求項1乃至請求項4のいずれかの請求項に記載のデジタル信号再生装置。

【請求項6】

前記ランダム性検出手段は、前記2値化後信号の中に、前記偏り抽出手段の出力の値と逆の極性に、所定のラン長以上のパターンが存在しているか否かを検出し、ランダム情報として出力することを特徴とする請求項5記載のデジタル信

号再生装置。

【請求項 7】

前記無交差検出手段は、前記 2 値化後信号の中に、所定のラン長以上のパターンが存在しているか否かを検出し、無交差情報として出力することを特徴とする請求項 5 記載のデジタル信号再生装置。

【請求項 8】

前記オフセット抽出手段は、

前記サンプリング後信号もしくはリサンプリング後信号の出力を適応的にフィルタリングする適応等化器の等化エラーを抽出するための仮判別情報を利用して、前記サンプリング後信号、もしくは前記サンプリング後信号をフィルタリングした信号、もしくはリサンプリング後信号、もしくは前記リサンプリング後信号をフィルタリングした信号のゼロクロスポイントのデータを選択するデータ選択手段と、

前記ゼロクロスポイントのデータの低域周波数成分を抽出し、前記 DC オフセット信号として出力するデータ積分手段とを有することを特徴とする請求項 1 乃至請求項 4 いずれかの請求項に記載のデジタル信号再生装置。

【請求項 9】

前記データ選択手段は、

前記サンプリング後信号もしくはリサンプリング後信号の出力を適応的にフィルタリングする適応等化器の等化エラーを抽出するための仮判別情報を利用して、ゼロクロスポイントのデータを選択することを特徴とする請求項 1 乃至請求項 8 いずれかの請求項に記載のデジタル信号再生装置。

【請求項 10】

前記データ選択手段は、

DPLL が位相誤差信号を抽出するためのゼロクロスポイントを示す仮判別情報を利用して、ゼロクロスポイントのデータを選択することを特徴とする請求項 1 乃至請求項 8 いずれかの請求項に記載のデジタル信号再生装置。

【請求項 11】

前記データ積分手段は、

積分結果の値が制限されるリミッタ動作を有することを特徴とする請求項1乃至請求項8いずれかの請求項に記載のデジタル信号再生装置

【請求項12】

前記偏り抽出手段は、

前記2値化後信号を所定の段数遅延させた信号を2値化後信号データ列として平行出力する手段と、

前記2値化後信号データ列と、有限の長さを有する所定のパターン列とをそれぞれのビットごとに、排他的論理和演算（または、前記2値化後信号データ列の、前記所定のパターン列の1に対応するビットだけを反転）し、各ビットの結果の総和から所定のパターン列の1/2の値（平均値）を減算した結果を相関値として出力する相関検出手段と、

前記相関値をフィルタリングして、その低域周波数成分を抽出するフィルタリング手段とから構成されることを特徴とする請求項5記載のデジタル信号再生装置。

【請求項13】

前記相関検出手段は、前記2値化後信号及び前記有限の長さを有する所定のパターン列の1, 0を±1に対応させ、各ビットの乗算を行った後、総和を求めて相関値として出力することを特徴とする請求項5記載のデジタル信号再生装置。

【請求項14】

前記コード偏り検出手段は、

前記2値化後信号の各反転間隔のラン長を論理「1」および論理「0」それぞれの状態で独立に計数し、それぞれ第1のラン長値および第2のラン長値として出力するラン長計数手段と、

前記第1のラン長値と第2のラン長値との差に基づいて変調信号におけるコーディングの上下非対称性を検出し、上下非対称情報を出力する上下非対称性検出手段と、

前記第1のラン長値あるいは第2のラン長値のいずれかが、所定の値よりも小さく、かつ長いラン長が単発的に出現しないことを検出し、ラン長判別情報を出

力するラン長判別手段と、

前記 2 値化手段の基準となるレベルに前記再生信号もしくは前記サンプリング信号が交わっていないこと検出し、その結果を無交差情報として出力する無交差検出手段と、

前記上下非対称情報、前記ラン長判別情報及び無交差情報に基づいて変調コードパターン偏り情報を出力することを特徴とする請求項 1 乃至請求項 4 いずれかの請求項に記載のデジタル信号再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はデジタル信号再生装置に係り、特に光ディスク等の記録媒体から再生されたデジタル信号を復号するデジタル信号再生装置に関する。

【0002】

【従来の技術】

光ディスクに高密度記録されたデジタル信号を再生するデジタル信号再生装置では、光ディスクの感度ばらつきや半導体レーザの経年変化などにより、記録信号形状が変動し、再生信号の DC 成分が変動したり、上下非対称となることがあるので、再生信号の 2 値コンパレートの閾値を適切に制御するスライスレベルコントロールが使用されている。これは、例えば、検出系においては、信号の DC 成分や 2 値化後のデューティーずれを検出することにより、制御系においては、スレッシュールドレベルもしくは再生信号の DC レベルを制御して、相対的にスライスレベルを制御するスライスレベル制御手段を用いることで実現することが出来る。DVD 規格でも、2 値化後のデューティーずれを検出して、それをスレッシュールドレベルとしてフィードバックする方法で、ジッタ測定系を定めている（図 38 参照）。

【0003】

コンパレータ 901 に再生信号とスライスレベルであるスレッシュールドレベルが入力され、その出力は 2 値化データとして出力されると同時に、OP アンプ 902 に差動入力される。増幅された信号は OP アンプ 903 によって低域フィ

ルタをかけられ、デューティによって生ずる低域周波数成分が抽出され、スライスレベル（スレッシュールドレベル）として増幅器 9 0 1 に供給される。

【0 0 0 4】

これを機能ブロック図で表示すると図 3 9 のようになる。2 値化手段 9 0 4 に再生信号とスライスレベル（スレッシュールドレベル）が入力され、その出力は 2 値化データとして出力されると同時に、増幅手段 9 0 5 に供給される。増幅回路 9 0 5 の出力は、積分手段 9 0 6 に供給され、低域フィルタリングにより、デューティによって生ずる低域周波数成分が抽出される。その出力は、スライスレベル（スレッシュールドレベル）として 2 値化手段に供給される。

【0 0 0 5】

このような構成にする事により、スライスレベルは、常に信号のデューティの中心に位置するように制御され、記録時の変調が、各ランレングスでランダムになるように、かつ 1, 0 の発生確率もほぼ等しくなるように制御されている場合には、光ディスク特有の記録パワーなどによる上下非対称性に影響されることなく正しいスライスレベル（スレッシュールドレベル）を設定出来、かつ簡単な回路で実現出来るので、有効な手段であった。

【0 0 0 6】

【発明が解決しようとする課題】

しかるに、従来の技術では、記録される変調信号の変調コードパターンに偏りが生じた場合に、誤動作を起こし、正しい検出を行うことが出来ない。図 1 8 はこの状態を説明するためのアイパターンを示しており、図 1 8 (a) が通常の状態、中央の横線は、適切なスライスレベルを示している。これに対し、図 1 8 (b) が DC ずれが生じている状態、図 1 8 (c) がレーザーパワーなどにより上下対称性が崩れた場合を示しており、いずれも、図 1 8 (a) の状態と同じスライスレベル（図の中央の横線）では正しい判別が出来ないので、前述のスライスレベルコントロールなどが、この場合はスライスレベルを下に下げようとする（もしくは信号を上げようとする）。

【0 0 0 7】

さらに、図 1 8 (d) は変調コードパターンに偏りが生じた場合を示しており

、適切なスライスレベルは図 1 8 (a) と同じ位置が望ましい。しかし、従来のスライスレベルコントロールでは、図 1 8 (b) や図 1 8 (c) の状態と、この図 1 8 (d) の状態の違いを判別することは不可能であり、本来、スライスレベルは動かさなくても良いのにもかかわらず、スライスレベルを下げる（もしくは信号を上げる）方向に制御が働くので、正しい再生が行えなくなってしまう。

【 0 0 0 8 】

そこで、DVD などの場合、記録側の変調信号生成時に、DSV コントロール・代替テーブル・Sync パターン・結合ビットなどを用いて、なるべく低域周波数成分を低減することにより、d) の状態の発生頻度・程度を抑え、再生時のスライスレベルコントロールとしては、特に対応しなくても良いようにシステムを構成していた。

【 0 0 0 9 】

しかし、高密度化にともない、変調信号の変調効率も重要となっており、低域周波数成分を十分に低減するための結合ビット等を可能な限り少なくする必要に迫られている。

【 0 0 1 0 】

前述したように、変調信号生成時にデータパターンを先読みし、Sync パターンを切り替えることによって、影響を軽減することも考えられるが、基本的に Sync 内で図 1 8 (b) や図 1 8 (c) の状態を図 1 8 (a) の状態にもっていくことがスライスレベルコントロール回路の役割なので、その時定数では、図 1 8 (d) の場合にも DC 成分の変化に反応してしまい、つまり、誤動作によってスライスレベルが変動してしまい、Sync 内で、やはり、正しく再生できない領域が発生する。この様子を図 1 9 に示す。よって、図 1 8 (d) の状態にも対応しうる適切なスライスレベルコントロールの改善が望まれていた。

【 0 0 1 1 】

本発明は以上の点に鑑みなされたもので、高密度記録された記録媒体の再生信号に対しても、図 1 8 (b) 図 1 8 (c) 図 1 8 (d) 全ての状態に適切に対応しうるスライスレベルコントロールを含むデジタル信号再生装置を提供することにある。

【0012】

【課題を解決するための手段】

本発明は上述の問題点を解決するためにDCレベル制御信号に基づき、再生信号のDCレベルを制御するDC制御手段と、前記DC制御手段の出力を所定のクロックでサンプリングしてサンプリング後信号を出力するサンプリング手段と、前記サンプリング後信号、もしくは前記サンプリング後信号をフィルタリングした信号を、スライスもしくは復号して2値化後信号を出力する2値化手段と、前記2値化後信号に基づき、前記DCレベル制御信号を出力するDCレベル制御信号出力手段と、前記2値化後信号に基づいて変調コードパターンの偏りを検出し、変調コードパターン偏り情報を出力するコード偏り検出手段と、前記変調コードパターン偏り情報に基づき、前記DC制御手段、前記サンプリング手段、前記2値化手段、および前記DC制御信号出力手段で構成されるループの応答特性を変化させる、もしくは前記DC制御手段のDC制御を停止させるとともに、前記再生信号、もしくは前記サンプリング後信号、もしくは前記サンプリング後信号をフィルタリングした信号、もしくは前記サンプリング後信号のいずれかの信号からDCオフセット信号を減算するDCオフセット信号減算手段と、前記サンプリング後信号、もしくは前記サンプリング後信号をフィルタリングした信号、もしくは前記DCオフセット信号減算手段の出力信号のいずれかの信号に対して、0クロスポイントに相当するサンプリング点のみの低域周波数成分を前記DCオフセット信号として抽出するDCオフセット抽出手段とを有することを特徴とするデジタル信号再生装置を提供する。

【0013】

また、本発明は上述の問題点を解決するために入力される再生信号をを所定のクロックでサンプリングしてサンプリング後信号を出力するサンプリング手段と、DCレベル制御信号に基づき、前記サンプリング後信号のDCレベルを制御するDC制御手段と、前記DC制御手段の出力信号、もしくは前記DC制御手段の出力信号をフィルタリングした信号を、スライスもしくは復号して2値化後信号を出力する2値化手段と、前記2値化後信号に基づき、前記DCレベル制御信号を出力するDCレベル制御信号出力手段と、前記2値化後信号に基づいて変調コ

ードパターンの偏りを検出し、変調コードパターン偏り情報を出力するコード偏り検出手段と、前記変調コードパターン偏り情報に基づき、前記DC制御手段と前記2値化手段と前記DC制御信号出力手段で構成されるループの応答特性を変化させる、もしくは前記DC制御手段のDC制御を停止させるとともに、前記サンプリング後信号、もしくは前記サンプリング後信号をフィルタリングした信号、もしくは前記サンプリング後信号のいずれかの信号からDCオフセット信号を減算するDCオフセット信号減算手段と、前記サンプリング後信号、もしくは前記サンプリング後信号をフィルタリングした信号、もしくは前記DCオフセット信号減算手段の出力に対して、0クロスポイントに相当するサンプリング点のみの低域周波数成分を前記DCオフセット信号として抽出するDCオフセット抽出手段とを有することを特徴とするデジタル信号再生装置。

【0014】

また、本発明は上述の問題点を解決するために 入力される再生信号を所定のクロックでサンプリングしてサンプリング後信号を出力するサンプリング手段と、DCレベル制御信号に基づき、前記サンプリング後信号のDCレベルを制御するDC制御手段と、前記サンプリング後信号、もしくは前記サンプリング後信号をフィルタリングした信号を、スライスもしくは復号して2値化後信号を出力する2値化手段と、前記2値化後信号に基づき、前記DCレベル制御信号を出力するDCレベル制御信号出力手段と、前記2値化後信号に基づいて変調コードパターンの偏りを検出し、変調コードパターン偏り情報を出力するコード偏り検出手段と、前記変調コードパターン偏り情報に基づき、前記DC制御手段の制御応答特性を変化させる、もしくはDC制御を停止させるとともに、前記サンプリング後信号、もしくは前記サンプリング後信号をフィルタリングした信号、もしくは前記サンプリング後信号のいずれかの信号からDCオフセット信号を減算するDCオフセット信号減算手段と、前記サンプリング後信号、もしくは前記サンプリング後信号をフィルタリングした信号、もしくは前記DCオフセット信号減算手段の出力信号のいずれかの信号に対して、0クロスポイントに相当するサンプリング点のみの低域周波数成分を前記DCオフセット信号として抽出するDCオフセット抽出手段とを有することを特徴とするデジタル信号再生装置を提供する

【0015】

また、本発明は上述の問題点を解決するためにDCレベル制御信号に基づき、再生信号のDCレベルを制御するDC制御手段と、前記DC制御手段の出力を所定のクロックでサンプリングしてサンプリング後信号を出力するサンプリング手段と、前記サンプリング後信号をチャネルレートのデータにリサンプリングし、リサンプリング後信号を出力するDPLL手段と、前記リサンプリング後信号、もしくは前記リサンプリング後信号をフィルタリングした信号を、スライスもしくは復号して2値化後信号を出力する2値化手段と、前記2値化後信号に基づき、前記DCレベル制御信号を出力するDCレベル制御信号出力手段と、前記2値化後信号に基づいて変調コードパターンの偏りを検出し、変調コードパターン偏り情報を出力するコード偏り検出手段と、前記変調コードパターン偏り情報に基づき、前記DC制御手段、前記サンプリング手段、前記2値化手段、および前記DC制御信号出力手段で構成されるループの応答特性を変化させる、もしくは前記DC制御手段のDC制御を停止させるとともに、前記サンプリング後信号、もしくは前記リサンプリング後信号、もしくは前記リサンプリング後信号のいずれかの信号をフィルタリングした信号、もしくは前記サンプリング後信号からDCオフセット信号を減算するDCオフセット信号減算手段と、前記リサンプリング後信号、もしくは前記リサンプリング後信号をフィルタリングした信号、もしくは前記DCオフセット信号減算手段の出力信号のいずれかの信号に対して、0クロスポイントに相当するリサンプリング点のみの低域周波数成分を前記DCオフセット信号として抽出するDCオフセット抽出手段とを有することを特徴とするデジタル信号再生装置を提供する。

【0016】

【発明の実施の形態】

次に、本発明の実施の形態について図面と共に説明する。図1は本発明になるデジタル信号再生装置の第1の実施の形態のブロック図を示す。

【0017】

再生信号はDC制御手段1に入力される。DC制御手段1は、エラー検出手段

6 a から供給された DC エラー信号に基づいて再生信号の DC レベルを制御する。その出力は A/D 変換 2 に入力され、PLL 4 より供給されるクロックでサンプリングが行われる。A/D 変換 1 の出力は 2 値化手段 5 a に供給されるとともに、DC キャンセル手段 7 に入力される。DC キャンセル手段 7 は本出願の要部をなすものであり、その詳細は後述する。DC キャンセル手段 7 の出力は PLL 4 及び復号 3 に供給される。復号 3 はスライス検出やビタビ復号などを用いて 2 値化後データを出力し、ECC などに供給する。2 値化手段 5 a は入力信号を 2 値化し、その結果である 2 値化後信号をエラー検出手段 6 a に供給する。エラー検出手段 6 a は 2 値化後信号の低域周波数成分を抽出し、その結果として得られる DC エラー信号を出力する。

【0018】

エラー検出手段 6 a の内部構成の例を図 2 に示す。入力された 2 値化後信号はゲイン切替手段 7 1 に入力され、所定のゲインに増幅されたのち、積分手段 7 2 にて低域成分が抽出される。その結果が DC エラー信号となる。また、2 値化後信号は、本発明の要部をなすものであり、変調コードに偏りがあるか否かを判別し、その結果である変調コードパターン偏り情報をゲイン切替手段 7 1 に供給する。

【0019】

コード偏り検出手段 7 3 は、本発明の要部をなすものであり、変調コードに偏りがあるか否かを判別し、その結果である変調コードパターン偏り情報をゲイン切替手段 7 1 に供給する。内部の詳細は、後述する。

【0020】

ゲイン切替手段 7 1 は、コード偏り検出手段 7 3 より供給された変調コードパターン偏り情報に応じて、増幅利得を適宜選択しながら、その結果を積分手段 7 2 に供給する。

【0021】

図 3 は、ゲイン切替手段 7 1 の内部構成の一例を示したものである。入力された 2 値化後信号は、異なった利得を有する増幅手段 7 1 1 及び増幅手段 7 1 2 に供給される。それぞれの出力は、SW 7 1 3 に入力され、SW 7 1 3 は、変調コ

ードパターン偏り情報に基づき、増幅手段 711 及び増幅手段 712 の入力いずれかを選択し、積分手段 72 に供給する。

【0022】

ここでは、2種類のゲイン（利得）で示しているが、より多くのゲインを用意し、細かい選択を行ってもよいことはもちろんである。

【0023】

図4は、ゲイン切替手段 71 の内部構成の別の例を示している。この例では、変調コードパターン偏り情報の値を係数として扱い、増幅及び乗算手段 714 にて、2値化後信号を係数倍し、その結果を積分手段 72 に供給する。より細かい制御が出来ることに特徴がある。積分手段 72 は、入力された信号を低域フィルタリングし、低域周波数成分を抽出し、DCエラー信号としてDC制御手段 1 に供給する。

【0024】

この実施の形態において、コード偏り検出手段 73 が変調コードに偏りがあると判断した場合には、ゲイン切替手段 71 がゲインの小さい方を選択し、結果として、スライスレベルのフィードバックループにおける時定数が大きく（応答が遅く）なり、反応が遅くなる。つまり、誤動作によるスライスレベルの変化を小さくすることで、正しい2値化後信号が得られる。このとき、ゲイン切り替えの極端な例として、ゲインを0にし、ホールド状態（無反応状態）にしても良いことはもちろんである。

【0025】

次に、コード偏り検出手段 73 について、その構成を図5を用いて説明する。図1の2値化手段より供給された2値化後信号は、偏り抽出手段 731 に入力されるとともに、無交差検出手段 733 及びランダム性検出手段 734 に入力される。無交差検出手段 734 は、2値化後信号の中に、所定のラン長以上のパターンが存在しているか否かを検出し、無交差情報として出力する。ランダム性検出手段 734 は、2値化後信号の中に、前記偏り抽出手段の出力の値と逆の極性に、所定のラン長以上のパターンが存在しているか否かを検出し、ランダム情報として出力する。偏り抽出手段 731 は、2値化後信号の低域周波数成分もしくはは

変調コードパターンの偏りを抽出するとともに、入力された無交差情報及びランダム情報に基づき、適宜その値をリセットする。偏り抽出手段731の出力は、偏り情報出力手段732に入力され、所定の値と比較された後、その結果が変調コードパターン偏り情報として、ゲイン切替手段71に供給される。

【0026】

図6は偏り抽出手段731及び偏り情報出力手段732の内部の一例を示している。

【0027】

入力された2値化後信号がSW7315に入力され、“1”発生器7313及び“−1”発生器7314の出力を切り替える。SW7315の出力は、加算器7316に入力され、ゲイン係数 k 倍に設定された係数器7317の出力と加算される。加算器7316の出力は、D-FF7312に入力される。D-FF7312には、同じく図示しないチャネルレートに同期したクロックが供給されており、そのタイミングで1クロック分（1ビット分）遅延する。D-FF7312のQ出力は、係数器7317に供給されるとともに、偏り情報出力手段732に供給される。偏り情報出力手段732の内部では、絶対値回路7320が絶対値演算をし、その出力に対し、比較回路7321が図示しない所定の値と比較する。その判別結果が変調コードパターン偏り情報として出力される。

【0028】

D-FF7312のQ出力には2値化後信号のコードパターンの低域周波数成分が抽出され、低域周波数成分が少ない場合は平均値0に近づき、低域周波数成分が大きい場合は0から離れて+もしくは−の値をとるので、この値の絶対値が大きいほど、コードの偏りも大きいと考えられる。よって、その絶対値が所定の値を超えたときに、変調コードに偏りがあると判断している。

【0029】

しかし、本来のコードの偏りが小さいノーマルな信号が入力されているにもかかわらず、絶対値が大きくなる場合が存在する。信号がスライスレベルと交わっていないとき（図18（b）の極端な状態）と、少しだけ交差している状態（図18（b）や図18（c）の状態）である。この場合は誤判別となる。

【0030】

そこで、図6に示すように、無交差情報とランダム情報に基づき、無交差状態もしくはランダム信号入力状態と考えられる場合には、D-F F7312をリセットし、偏り検出手段731の出力を強制的に0にする。このような構成にすることにより、偏り情報出力手段731の出力も変調コードパターンに偏りが無い（もしくは判断不可能）という情報になり、誤判別は解消できる。

【0031】

図6の場合、無交差情報は、無交差の時1、そうでないとき0を示すものとし、ランダム情報は、ランダム性が強いとき0、そうでないとき1を示すものとする。無交差情報とランダム情報の論理和をOR回路7311で演算し、D-F F7312にリセット信号として入力している。

【0032】

無交差検出手段733の具体例を図7を用いて説明する。供給された2値化後信号は、タップ遅延ブロック7331に供給され、縦属接続された複数のD-F F等で実現されるタップ遅延によって、図示しないクロックのタイミングで1ビット分ずつ遅延したデータ列TD1～TDnが得られる。ここで、nは任意の整数であるが、無交差情報をより確からしくするためには、変調コードの最大ランゲルス制限より大きい数を選ぶのが望ましい。TD1～TDnは、ANDブロック242及びNORブロック243に供給され、ANDブロック7332で全て”1”の状態を、NORブロック7333で全て”0”の状態を検出し、ORブロック7334がそれらの論理和を演算した後、その結果を無交差情報として出力する。無交差情報が”1”のときは交差していないことを示し、無交差情報が”0”のときは交差していることを示している。無交差が検出された時点（”1”の状態）で偏り検出手段のD-F F7312をリセットすれば、図18（b）の極端にずれている状態を図18（d）の状態と誤判別することは無い。

【0033】

ランダム性検出手段734の具体例を図8を用いて説明する。供給された2値化後信号は、タップ遅延ブロック7341に供給され、縦続接続された複数のD-F F等で実現されるタップ遅延によって、図示しないクロックのタイミングで

1ビット分づつ遅延したデータ列 $TR_1 \sim TR_m$ が得られる。ここで、 m は任意の整数であるが、ランダム情報をより確からしくするためには、変調コードのランレングス制限のうち、平均値か、それより少し大きい値を選ぶのが望ましい。 $TR_1 \sim TR_m$ は、ANDブロック7342及びNORブロック7343に供給され、ANDブロック7342で全て"1"の状態を、NORブロック7343で全て"0"の状態を検出し、ANDブロック7346、ANDブロック7347にそれぞれ供給される。

【0034】

また、偏り検出手段732の出力信号が2値化ブロック7344に供給され、極性が+のときは"1"が、極性が-のときは"0"が出力される。その出力は、ANDブロック7347に供給されるとともに、NOTブロック7345を介してANDブロック7346に供給される。NOTブロックは、論理を反転する機能を有する。

【0035】

ANDブロック7346、ANDブロック7347は、それぞれ入力された2信号の論理積を演算し、それぞれの結果がORブロック7348に供給される。ORブロック7348は入力された2信号の論理和を演算し、ランダム情報として出力する。

【0036】

ランダム性検出手段734の動作を図18を用いて説明する。

【0037】

図18(d)の状態では、偏り検出手段の出力は図の下側(一侧)に向かうはずであり、そのとき、逆側である図の上側(+側)には、 m で示されるようなランレングスの平均値かそれより少し大きいラン長は存在しない。つまり、図8で示した構成の演算結果であるランダム情報は"0"を示すことになる。

【0038】

図18(b)の極端にずれている状態や 図18(c)の状態でも、偏り検出手段の出力は図の下側(一侧)に向かうはずであるが、ランダム性が高いため、逆側である図の上側(+側)に、 m で示されるようなランレングスの平均値かそ

れより少し大きいラン長は存在する。そのようなラン長が出現した場合には、図 8 で示した構成の演算結果である無交差情報は” 1 ” となるため、その時点 (” 1 ” の状態) で偏り検出手段の D-F F 7 3 1 2 をリセットすれば、絶対値が所定の値を超えなくなるので、図 1 8 (b) の極端にずれている状態や図 1 8 (c) の状態を図 1 8 (d) の状態と誤判別する問題は解決される。

【 0 0 3 9 】

次に、DC キャンセル手段 7 について説明する。図 9 は DC キャンセル手段 7 の第 1 の具体例を示したものである。A / D 変換 2 より供給された入力信号は、減算器 7 3 に供給され、DC オフセット検出器出力信号と減算がなされる。その出力はイコライザ 7 1 に供給される。イコライザ 7 1 は P R M L などを行うためにもちいられる公知の適応等化器であり、L M S 法などに代表されるように、仮判別した目標値と実際の値の誤差 (等化エラー) が最小になるように制御するものである。このときの仮判別情報を DC オフセット検出器 7 2 に供給する。等化後の信号は同じく DC オフセット検出器 7 2 に供給されるとともに、DC キャンセル後信号として、図 1 の復号 3 及び P L L 4 に供給される。DC オフセット信号検出器 7 2 は、仮判別情報をもとに、入力信号のゼロクロスポイントを選択し、その低域周波数成分を抽出して、DC オフセット検出器出力信号として出力する。具体例を図 1 7 に示す。入力された信号は S W 7 2 1 に供給され、同じく供給された仮判別情報をもとに、S W 7 2 1 がゼロクロスポイントに相当するサンプルデータのみを有効とし、その出力を積分器 7 2 2 に供給する。積分器 7 2 2 は積分動作をすることによって、低域周波数成分を抽出し、DC オフセット検出器出力信号として出力する。このとき、積分器 7 2 2 の値が大きくなりすぎると、誤ったサンプル点をゼロクロスポイントと誤ってしまい、システム全体が誤動作をおこすので、その値を制限するのが望ましい。つまり、リミッタ動作をくわえるのが良い。

【 0 0 4 0 】

エラー検出手段 6 a による、変調コードパターンの偏りに対する効果は大きなものであるが、時定数を制御しているだけなので、DC 制御手段 1 の出力に着目すると、0 レベルが上下にゆれているような波形になってしまう可能性が高い。

そのままでは、特にPRMLで使われるビタビ復号にとって、効果が低減するばかりか、誤動作によってエラーが増えてしまう可能性もある。そこで、DCキャンセル手段を用いることで、0レベルの上下のゆれをキャンセルし、結果として信号全体のゆれがキャンセルされるため、ビタビ復号にとって、最適な波形を得ることが出来るようになる。

【0041】

図10はDCキャンセル手段7の第2の例を示したものであり、イコライザ71を用いずに、専用の仮判別器74を用いて仮判別情報を抽出しているところに特徴がある。仮判別は、固定の閾値と比較したり、ゼロレベルに最も近いサンプル点を選択するなど種々の方法が考えられる。

【0042】

図11はDCキャンセル手段7の第3の例を示したものであり、減算器73の位置を、DCオフセット検出器72の入力、及び仮判別器74の入力の後段にもってきたところに特徴がある。この場合はフィードフォワード動作となり、より迅速な応答となる。

【0043】

次に、図12は本発明になるデジタル信号再生装置の第2の実施の形態のブロック図を示す。図1のPLL4を削除し、DCキャンセル手段7のかわりにDCキャンセル手段8を用いており、2値化手段の入力信号は、DCキャンセル手段8から供給されるDPLL（後述）の出力信号を用いているところに特徴がある。

【0044】

DCキャンセル手段8の内部の第2の例を図13に示す。図9と同じ機能ブロックには同じ番号を付し、説明を省略する。入力信号は、減算器83に供給され、DCオフセット検出器出力信号と減算がなされる。その出力はDPLL86に供給され、リサンプリングが行われる。その結果、所定のチャネルビットレートに同期したデータ及びビットクロックが生成される。このブロック以降の動作はビットクロックに基づいて行われる。DPLL86より出力されたデータは、イコライザ81に供給される。イコライザ81はPRMLなどを行うためにもちい

られる公知の適応等化器であり、LMS法などに代表されるように、仮判別した目標値と実際の値の誤差（等化エラー）が最小になるように制御するものである。このときの仮判別情報をDCオフセット検出器72に供給する。等化後の信号は同じくDCオフセット検出器72に供給されるとともに、DCキャンセル後信号として、図12の復号3に供給される。DCオフセット信号検出器72は、仮判別情報をもとに、入力信号のゼロクロスポイントを選択し、その低域周波数成分を抽出して、DCオフセット検出器出力信号として出力する。具体例は図17で示したものとなり、但しビットクロックに同期して処理がなされる。DPLL86より出力された信号は外部に出力され、2値化手段に供給される。

【0045】

図14はDCキャンセル手段8の内部の第3の例を示している。図13と同じ機能ブロックには同じ番号を付し、説明を省略する。イコライザ81出力の代わりにDPLL86の出力をDCオフセット検出器入力信号としており、仮判別情報には、DPLLが位相エラーを演算する時に使用するゼロポイント情報を利用しているところに特徴がある。

【0046】

図15はDCキャンセル手段8の内部の第4の例を示している。図13と同じ機能ブロックには同じ番号を付し、説明を省略する。仮判別情報には、DPLLが位相エラーを演算する時に使用するゼロポイント情報を利用しており、イコライザ85もDPLL86より出力されるゼロポイント情報を利用して等化の仮判定を行っているところに特徴がある。

図16はDCキャンセル手段8の内部の第5の例を示している。図14と同じ機能ブロックには同じ番号を付し、説明を省略する。仮判別情報には、DPLLが位相エラーを演算する時に使用するゼロポイント情報を利用しており、イコライザ85もDPLL86より出力されるゼロポイント情報を利用して等化の仮判定を行っているところに特徴がある。

【0047】

次に、本発明になる第3の実施の形態を図20に示す。図1と同じ機能ブロックには、同一の番号を付し、その説明を省略する。図1の2値化手段5aおよび

エラー検出手段 6 a の代わりに、2 値化手段 5 b およびエラー検出 6 b を使用しており、2 値化手段 5 b には DC キャンセル手段 7 の出力が供給されている。2 値化手段 5 b およびエラー検出 6 b の動作は 2 値化手段 5 a およびエラー検出手段 6 a とそれぞれ同じである。この形態は、イコライザの出力の情報に基づいて DC レベルを制御しようとしているところに特徴がある。

【 0 0 4 8 】

第 4 の実施の形態を図 2 1 に示す。図 1 と同じ機能ブロックには、同一の番号を付し、その説明を省略する。図 1 の 2 値化手段 5 a およびエラー検出手段 6 a の代わりに、エラー検出 6 c を使用しており、エラー検出 6 c には復号 3 の出力が 2 値化後信号として供給されている。エラー検出 6 c の動作はエラー検出手段 6 a と同じである。この形態は、復号出力の情報に基づいて DC レベルを制御しようとしているところに特徴がある。

【 0 0 4 9 】

第 5 の実施の形態を図 2 2 に示す。図 1 と同じ機能ブロックには、同一の番号を付し、その説明を省略する。再生信号は A / D 変換 2 に供給されており、サンプリングされたのち、DC 制御手段 9 に供給される。DC 制御手段 9 は、エラー検出 6 d から供給された DC エラー信号に基づいて再生信号の DC レベルを制御する。その出力は DC キャンセル手段 7 に供給されるとともに、2 値化手段 5 d にも供給される。2 値化手段 5 d の出力はエラー検出 6 d に供給される。2 値化手段 5 d およびエラー検出 6 d の動作は 2 値化手段 5 a およびエラー検出手段 6 a とそれぞれ同じである。この形態は、サンプリング後の信号における DC レベルを制御しようとしているところに特徴がある。

【 0 0 5 0 】

第 6 の実施の形態を図 2 3 に示す。図 2 2 と同じ機能ブロックには、同一の番号を付し、その説明を省略する。図 2 2 の 2 値化手段 5 d およびエラー検出 6 d の代わりに、2 値化手段 5 e およびエラー検出 6 e を使用しており、2 値化手段 5 e には DC キャンセル手段 7 の出力が供給されている。2 値化手段 5 e およびエラー検出 6 e の動作は 2 値化手段 5 d およびエラー検出 6 d とそれぞれ同じである。この形態は、イコライザの出力の情報に基づいて DC レベルを制御しよう

としているところに特徴がある。

【0051】

第7の実施の形態を図24に示す。図22と同じ機能ブロックには、同一の番号を付し、その説明を省略する。図22の2値化手段5dおよびエラー検出6dの代わりに、エラー検出6fを使用しており、エラー検出6fには復号3の出力が2値化後信号として供給されている。エラー検出6fの動作はエラー検出6dと同じである。この形態は、復号出力の情報に基づいてDCレベルを制御しようとしているところに特徴がある。

【0052】

第8の実施の形態を図25に示す。図22と同じ機能ブロックには、同一の番号を付し、その説明を省略する。図22の2値化手段5dおよびエラー検出6dの代わりに、2値化手段5gおよびエラー検出6gを使用しており、2値化手段5gにはA/D変換2の出力が供給されている。2値化手段5gおよびエラー検出6gの動作は2値化手段5dおよびエラー検出6dとそれぞれ同じである。この形態は、A/Dの出力の情報に基づいてDCレベルを制御し、フィードフォワード動作をさせようとしているところに特徴がある。

第9の実施の形態を図26に示す。図1と同じ機能ブロックには、同一の番号を付し、その説明を省略する。DCキャンセル7の代わりにイコライザ12が挿入され、その出力がDCオフセット検出器入力となる。またイコライザの仮判別情報がDCオフセット検出器11に供給される。DCオフセット検出器11の出力はDC制御手段1に供給され、DC制御に使用される。コード偏り検出とDCキャンセルの制御部を共通化したところに特徴がある。

【0053】

第10の実施の形態を図27に示す。図26と同じ機能ブロックには、同一の番号を付し、その説明を省略する。DCオフセット検出器に入力される仮判別情報には、A/D変換2の出力を仮判別13を介して得られる情報を用いるところに特徴がある。仮判別器13の機能は、図10の仮判別器74と同じである。

【0054】

第11の実施の形態を図28に示す。図12と同じ機能ブロックには、同一の

番号を付し、その説明を省略する。図 1 2 の 2 値化手段 5 a およびエラー検出手段 6 a の代わりに、2 値化手段 5 j およびエラー検出手段 6 j を使用しており、2 値化手段 5 j には DC キャンセル手段 8 の出力が供給されている。2 値化手段 5 j およびエラー検出手段 6 j の動作は 2 値化手段 5 a およびエラー検出手段 6 a とそれぞれ同じである。この形態は、DC キャンセル手段 8 の出力の情報に基づいて DC レベルを制御しようとしているところに特徴がある。

第 1 2 の実施の形態を図 2 9 に示す。図 1 2 と同じ機能ブロックには、同一の番号を付し、その説明を省略する。図 1 2 の 2 値化手段 5 a およびエラー検出手段 6 a の代わりに、2 値化手段 5 k およびエラー検出手段 6 k を使用しており、2 値化手段 5 k には DC キャンセル手段 3 の出力が供給されている。2 値化手段 5 k およびエラー検出手段 6 k の動作は 2 値化手段 5 a およびエラー検出手段 6 a とそれぞれ同じである。この形態は、復号 3 の出力の情報に基づいて DC レベルを制御しようとしているところに特徴がある。

次に、シミュレーションした結果にもとに、本発明の効果を説明する。まず、図 3 0 に、従来システム（図 3 9）に変調コードパターンに偏りのある再生信号を入力した場合の各部の信号を示す。上から、再生信号・スライスレベル・2 値化後信号を示しており、横軸が時間、縦軸がレベルである。横軸 6 0 0 0 ~ 7 0 0 0 の単位で信号が切り替わっているのは、これが 1 s y n c ブロックの単位であり、記録信号生成時に、DSV 制御によって DSV が小さくなる方向に制御されているからである。このとき、図 1 8 (d) に示したように、スライスレベルは変化しない事が望ましいが、図 3 0 ではスライスレベルが大きく変動してしまっている。このままでは正しい 2 値化信号は得られない。

【 0 0 5 5 】

図 3 1 は、本発明の要部の一つであるコード偏り検出手段の効果を明確にするため、図 2 のコード偏り検出信号 7 3 を図 3 9 に適用し、2 値化信号として 2 値化後信号をコード偏り検出手段 7 3 に入力し、コード偏り検出手段 7 3 の出力である変調コードパターン偏り情報により、図 3 9 の増幅手段 9 0 5 の増幅ゲインを切り替えるようにした結果を示している。スライスレベルを見ると、横軸 1 0 0 0 以下のところで時定数が大きく切り替わっている。これはコード偏り検出手

段 73 がコードパターンの偏りを検出し、増幅手段 905 のゲインを切り替えて、ループの時定数を切り替えたからである。この結果、スライスレベルは大きく変化することはない、正しい 2 値信号が得られることになる。

【0056】

次に、図 12 に示したシステムにて、本発明の効果を説明する。図 32～図 34 は図 13 の DC キャンセル後信号（図 8 の DC キャンセル手段の出力信号）のアイパターンをしめしている。図 32 は、本発明の要部である変調コードパターン偏り信号及び DC キャンセル手段の DC オフセット検出器出力信号を OFF（無効）としたときの状態である。本来、この例では PR（1, 1, 1, 1）に等化しようとしているので、サンプル点は 5 つの目標値（±64、±32、0）に収束するはずであるが、図 32 ではサンプル点が乱れており、PLL がロックしておらず、PR 等化も正しく行われてないことを示している。図 33 は、本発明の要部である変調コードパターン偏り信号を ON（有効）とし、同じく本発明の要部である DC キャンセル手段の DC オフセット検出器出力信号を OFF（無効）としたときの状態である。このとき、コード偏り検出手段がコードの偏りを検出し、ループの時定数を切り替えているので、サンプル点に大きな乱れがなく、PLL がロックし、PR 等化も正しく行われていることを示している。

【0057】

しかし、Sync 付近の信号の切り替わり点で、DC レベルの乱れがあり、後段の復号 3 にビタビ復号を用いる場合には好ましくなく、誤りを増大させる可能性がある。

【0058】

図 34 は、本発明の要部である変調コードパターン偏り信号及び DC キャンセル手段の DC オフセット検出器出力信号を ON（有効）としたときの状態である。このとき、DC キャンセル手段が Sync 付近の DC の乱れも抑制するので、サンプル点は 5 つの目標値（±64、±32、0）に正しく収束している。

【0059】

次に、これらをエラーレートで評価した結果を、図 35～図 37 を用いて説明する。上の 3 つは、上から記録データパターン・DPLL 86 出力をもとに 2 値

化した結果、そしてそれらをコンペア（排他的論理和演算）したものを示している。これに対し、下の3つは、上から記録データパターン・復号3（ビタビ復号）出力、そしてそれらをコンペア（排他的論理和演算）したものを示している。

【 0 0 6 0 】

図 3 5 は本発明の要部である変調コードパターン偏り信号及びDCキャンセル手段のDCオフセット検出器出力信号をOFF（無効）としたときの状態である。コンペア出力（3 段目及び6 段目）を見ると、スタート時と8 8 0 0（再生データの長さ）以降を除いて、殆どの箇所では1 になっており、誤っていることがわかる。

【 0 0 6 1 】

図 3 6 は、本発明の要部である変調コードパターン偏り信号をON（有効）とし、同じく本発明の要部であるDCキャンセル手段のDCオフセット検出器出力信号をOFF（無効）としたときの状態である。DPLL出力（3 段目）では、スタート時と8 8 0 0（再生データの長さ）以降を除いて1 箇所（1 4 0 0 付近）しか誤っていないことがわかる。これは、まさにコード偏り検出手段の効果を示している。しかし、ビタビ復号出力（6 段目）では、本来エラーが少なくなるはずが、逆にエラー（1 の状態）が増えていることがわかる。これは図 3 3 に示したように、Sync 付近のDCに揺れがあるからである。

【 0 0 6 2 】

図 3 7 は本発明の要部である変調コードパターン偏り信号及びDCキャンセル手段のDCオフセット検出器出力信号をON（有効）としたときの状態である。コンペア出力（3 段目及び6 段目）を見ると、スタート時と8 8 0 0（再生データの長さ）以降を除いて、エラーが0 になっている（1 の状態が無い）ことがわかる。これは、まさにDCキャンセル手段の効果を示している。

【 0 0 6 3 】

以上の結果により、変調コードパターン偏り情報に基づいてスライスレベル制御もしくはDC制御の応答を変化させ、かつDCキャンセル手段を用いる本願の効果が確認された。

【 0 0 6 4 】

次に、偏り抽出手段のその他の例について説明する。これは、偏り検出手段 731 において 2 値化信号の低域周波数成分ではなく、予め設定しておいたコードパターンとの相関を利用して、変調コードパターンの偏りを検出するものである。図 40 はその構成を示すものであり、図 6 の "1" 発生器 7313、"-1" 発生器 7314、SW 7515 の部分に相当する。

【0065】

入力された 2 値化信号はタップ遅延ブロック 250 に供給され、縦続接続された複数の D-FF 等で実現されるタップ遅延によって、図示しないクロックのタイミングで 1 ビット分づつ遅延したデータ列 TZ1 ~ TZp が得られる。ここで、p は任意の整数である。さらに、TZ1 ~ TZn を予め設定しておいたコードパターンと相関をとるため、排他的論理和をそれぞれのビット毎に演算する。図 40 では $p = 16$ の場合について説明し、ビットコードパターンには、代表的な例として、" . . . 00001110000 . . . " を選択した場合を示している。これは、変調信号のランレングス制限されているとき、変調コードに偏りがあると、上下いずれかの反転間隔が最小反転間隔に近づき、もう一方が最大反転間隔に近づくことを利用したものであり、この場合は最小反転間隔 = 3 を想定して中央の 3 つのビットを "1" とし、それ以外を "0" としている。

【0066】

この場合、0 との排他的論理和は何もしないのと同じであり、1 との排他的論理和は反転と同じなので、図 40 では、"1" に相当する部分だけを反転している。

【0067】

さらにその結果である p ビットを加算し、 $p/2$ である 8 を減算する。さらにこの結果を、無交差検出手段 733 より供給された無交差情報が 1 のとき、0 を出力し、0 のときにはそのまま出力し、加算器 226 に供給する。

【0068】

このように相関を利用することで、特定のパターンに依存しないで、正確に偏りの程度を判別できる。また、図 18 (b) の状態が極端になり、信号がスライスレベルに交わる頻度がすくなくなっても、対応可能である。なぜなら、無交差

情報が無交差を示している期間は反応せず、さらに、最小反転間隔の出現する間隔についても限定していないからである。基本的に相関を利用しているため、相関のない信号が入力されれば、自然と通常のモードに復帰するところが、この実施形態の特徴である。

【0069】

また、入力されたTZ1～TZpの0, 1及び所定のパターンの0, 1をそれぞれ-1, +1に対応させ、乗算した結果を全ビット分加算し、SW255に供給してもよいことはもちろんである。このブロック図を図41に示す。

【0070】

また、2値化後データと所定のコードパターンとの相関をとることで、コードパターンの偏りを検出したが、2値ではなく例えば8ビットの再生データと、所定のコードパターンを、排他的論理和の代わりに乗算器を用いて構成しても良いことはもちろんである。さらに所定のコードパターンを、再生信号のパーシャルレスポンス特性に近い、たとえば8ビットのデータで示し、排他的論理和の代わりに乗算器を用いて構成しても良いことはもちろんである。

【0071】

次に、コード偏り検出手段73のその他の例について図42を用いて説明する。図1の2値化手段より供給された2値化信号は、ラン長計数ブロック42に入力される。ラン長計数ブロック42の中では、計数器422に供給されるとともに、インバータ421を通して計数器423に供給される。計数器422と計数器423は同じ構成をしており、入力信号が1の期間の長さを、所定のシステムクロック（またはビットクロック）にて計数する。インバータ421を通して計数器423は、2値化信号の0の期間の長さを、所望のシステムクロック（またはビットクロック）にて計数していることになる。計数器422と計数器423の出力は、それぞれラン長値（1）、ラン長値（2）としてブロックの外に出力されると同時に、加算器424にて加算され、その結果が比較手段425に入力される。比較手段は、入力された値が、予め内部に保持している所定の値よりも大きくなった場合に、例えば、イニシャル信号を1にし、そのほかの期間は0にする。イニシャル信号は計数器422及び423に入力され、1のときは、

計数をリセットする。ここで、加算器 4 2 4 の出力は、2 値化信号の時間的長さを計数したものにほかならず、つまり、システムクロック（またはビットクロック）の一定周期でイニシャル信号が 1 になり、計数器 4 2 2、4 2 3 をリセットすることになる。

【 0 0 7 2 】

ラン長値（1）及びラン長値（0）は、上下非対称性検出ブロック 4 3 にも供給されており、その内部では、ラン長値（1）とラン長値（0）の減算を減算器 4 3 1 で行い、その結果を比較手段 4 3 2 に入力する。比較手段 4 3 2 はその絶対値が、予め内部に保持している所定の値よりも大きくなった場合に、例えば、上下非対称情報を 1 にし、そのほかの期間は 0 にする。ここでは、ラン長値（1）とラン長値（0）の差がひらいていること、つまり上下のラン長が非対称であることを検出している。上下非対称情報はブロックの外部に出力される。

【 0 0 7 3 】

ラン長値（1）及びラン長値（0）は、ラン長判別ブロック 4 4 にも供給されており、その内部では、ラン長値（1）は比較手段 4 4 1 に、ラン長値（0）は比較手段 4 4 2 に入力される。比較手段 4 4 1 と比較手段 4 4 2 は同じ構成をしており、予め内部に保持している所定の値よりも小さい場合に、例えば、1 を、そのほかの期間は 0 にする。また、2 値化信号は比較手段 4 4 4 へ、さらに反転 4 4 5 を介して比較手段 4 4 6 へ供給される。比較手段 4 4 4 と比較手段 4 4 5 は同じ構成をしており、予め内部に保持している所定の値よりも小さい場合に、例えば、1 を、そのほかの期間は 0 にし、さらに次のイニシャル信号が入力されるまで、その値を保持する。比較手段 4 4 1 と比較手段 4 4 4 の出力信号は AND 回路 4 4 9 に入力され、その結果が OR 回路 4 4 3 に供給される。比較手段 4 4 2 と比較手段 4 4 6 の出力信号は AND 回路 4 4 9 に入力され、その結果が OR 回路 4 4 3 に供給される。OR 回路 4 4 3 では、論理和演算が行われて、その結果はラン長判別情報として出力される。

【 0 0 7 4 】

ここでは、ラン長値（1）もしくはラン長値（0）のいずれかのラン長が極端に短いことを検出し、さらにその短い側に長いラン長が生じていないことを検出

している。ラン長判別情報はブロックの外部に出力される。

【0075】

2 値化信号は、無交差検出手段 733 と同様の機能を有する無交差検出手段 47 に入力され、交差していないときに 0 を出力し、それ以外は 1 を無交差情報として出力する。

【0076】

上下非対称情報とラン長判別情報及び無交差情報は AND 回路 45 に入力され、論理積演算がおこなわれて、その結果は D-FF 回路 46 に供給される。D-FF 回路 46 にはシステムクロック（またはビットクロック）がクロック端子に、前述のイニシャル信号がイネーブル端子にそれぞれ供給されており、Q 出力が変調コードパターン偏り信号として出力される。

【0077】

ここでは、ラン長の上下のバランスが極端に崩れ、かつラン長値（1）もしくはラン長値（0）のいずれかのラン長が極端に短く、かつその中に長いラン長が生じておらず（ランダム性が高い）、かつ無交差状態でないことを検出していることになり、その結果がイニシャル信号のタイミングで保持されていることになる。これは、図 18（d）の状態だけがこのような状態になることに注目したものである。このような構成にすることで、副作用がなく、正確に（d）の状態を判別できる。さらに通常の信号が入力されれば、自然と通常のモードに復帰するところが特徴である。

【0078】

また、本発明は、以上の形態に限定されるものではなく、システムによっては、イコライザ回路を省略しても良いことはもちろんである。基本的にコード偏りは、発生頻度が少ないため、従来のシステムの性能を落とすことなく、しかし、発生した場合は、迅速にモードを切り替えることで、もっとも有効な効果を得ることができる。この意味で、本出願は最適である。また、コード偏りへの対応は、基本的に付加的なものなので、回路規模もなるべく少ないことが望ましい。本出願は、2 値化後の 1 ビットの信号を利用しているため、回路規模は少なく、最適である。

【 0 0 7 9 】

【発明の効果】

以上説明したように、本発明によれば、従来は対応できなかった、記録される変調信号の変調コードパターンに偏りが生じた場合にも、誤動作を起こさず、正しい検出を行うことができ、また、低域周波数成分を十分に低減するための結合ビット等を可能な限り少なくすることにより高密度化に伴い要求される変調信号の変調効率を改善することができ、また、従来の性能を下げることなく、特定のモードを迅速に検出し、対応することが可能であり、ビタビ復号にも対応可能である。さらに、コード偏りへの対応は、2 値化後の1ビットの信号を利用しているため、回路規模は小さなもので対応が可能であるという利点を有する。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態のブロック図である。

【図2】

エラー検出手段の内部構成の一例を示すブロック図である。

【図3】

ゲイン切替手段の内部構成の一例を示すブロック図である。

【図4】

ゲイン切替手段の内部構成の他の例を示すブロック図。

【図5】

コード偏り検出手段の一例を示すブロック図である。

【図6】

偏り抽出手段及び偏り情報出力手段の一例を示すブロック図である。

【図7】

無交差検出手段の一例を示すブロック図である。

【図8】

ランダム性検出手段の一例を示す図である。

【図9】

DCキャンセル手段の一例を示す図である。

【図 1 0】

DC キャンセル手段の第 2 の例を示す図である。

【図 1 1】

DC キャンセル手段の第 3 の例を示す図である。

【図 1 2】

本発明の第 2 の実施の形態のブロック図である。

【図 1 3】

DC キャンセル手段 8 の第 2 の例を示す図である。

【図 1 4】

DC キャンセル手段 8 の第 3 の例を示す図である。

【図 1 5】

DC キャンセル手段 8 の第 4 の例を示す図である。

【図 1 6】

DC キャンセル手段 8 の第 5 の例を示す図である。

【図 1 7】

DC オフセット信号検出器具体例を示す図である。

【図 1 8】

変調コードパターンに偏りが生じて誤動作が発生した際のアイパターンを説明するための図である。

【図 1 9】

正しく再生されない領域を説明するための図である。

【図 2 0】

本発明の第 3 の実施の形態のブロック図である。

【図 2 1】

本発明の第 4 の実施の形態のブロック図である。

【図 2 2】

本発明の第 5 の実施の形態のブロック図である。

【図 2 3】

本発明の第 6 の実施の形態のブロック図である。

【図 2 4】

本発明の第 7 の実施の形態のブロック図である。

【図 2 5】

本発明の第 8 の実施の形態のブロック図である。

【図 2 6】

本発明の第 9 の実施の形態のブロック図である。

【図 2 7】

本発明の第 1 0 の実施の形態のブロック図である。

【図 2 8】

本発明の第 1 1 の実施の形態のブロック図である。

【図 2 9】

本発明の第 1 2 の実施の形態のブロック図である。

【図 3 0】

従来システムに変調コードパターンに偏りのある再生信号を入力した場合の各部の信号を示す図である。

【図 3 1】

変調コードパターン偏り情報により増幅ゲインを切り替えた結果を説明するための図である。

【図 3 2】

変調コードパターン偏り信号及び DC キャンセル手段の DC オフセット検出器出力信号を OFF（無効）としたときの状態の DC キャンセル手段の出力信号である DC キャンセル後信号のアイパターンを示す図である。

【図 3 3】

変調コードパターン偏り信号を ON（有効）とし、DC キャンセル手段の DC オフセット検出器出力信号を OFF（無効）としたときの状態の DC キャンセル手段の出力信号である DC キャンセル後信号のアイパターンを示す図である。

【図 3 4】

変調コードパターン偏り信号及び DC キャンセル手段の DC オフセット検出器出力信号を ON（有効）としたときの状態の DC キャンセル手段の出力信号であ

るDCキャンセル後信号のアイパターンを示す図である。

【図35】

変調コードパターン偏り信号及びDCキャンセル手段のDCオフセット検出器出力信号をOFF（無効）としたときの状態のエラーレートを示す図である。

【図36】

変調コードパターン偏り信号をON（有効）とし、DCキャンセル手段のDCオフセット検出器出力信号をOFF（無効）としたときの状態のエラーレートを示す図である。

【図37】

変調コードパターン偏り信号及びDCキャンセル手段のDCオフセット検出器出力信号をON（有効）としたときの状態のエラーレートを示す図である。

【図38】

従来システムを示す図である。

【図39】

従来システムを示す図である。

【図40】

コード偏り抽出手段のその他の例を示す図である。

【図41】

コード偏り抽出手段のその他の例を示す図である。

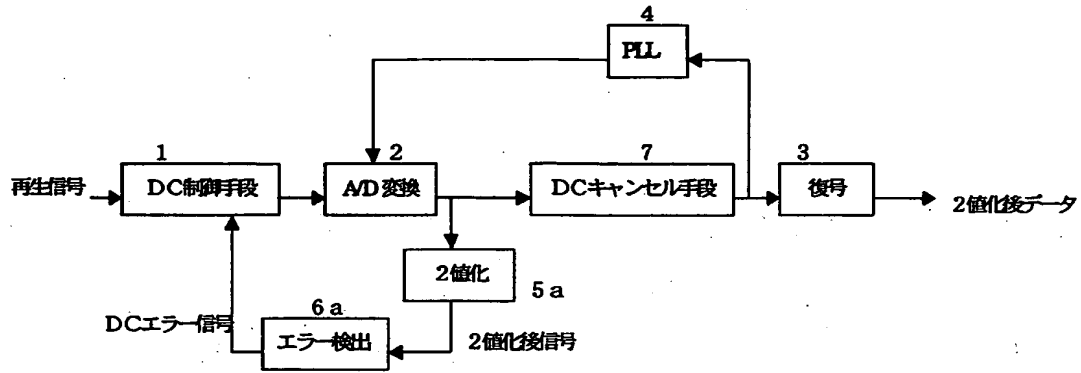
【図42】

コード偏り抽出手段のその他の例を示す図である。

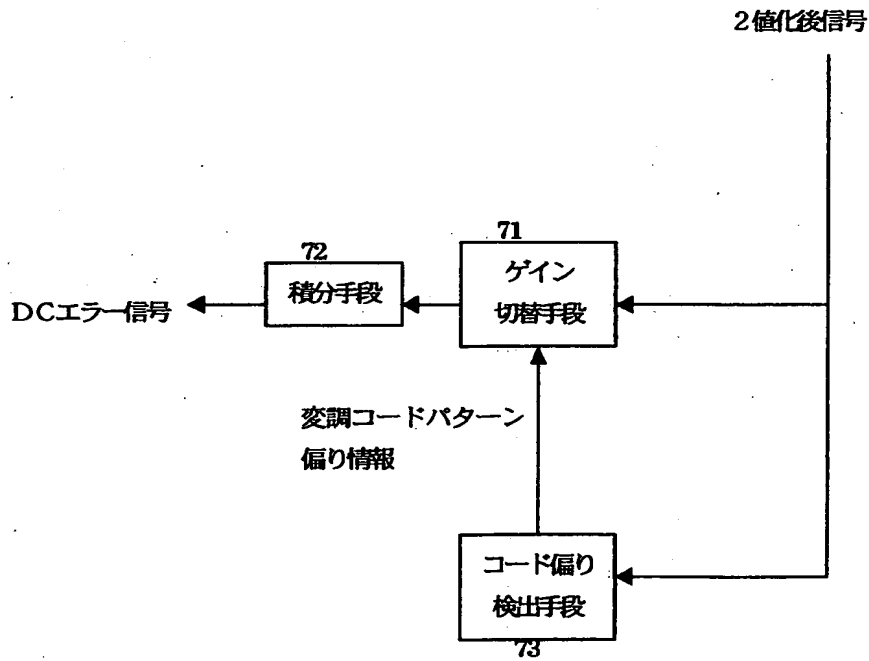
- 1 DC制御手段
- 2 A/D変換
- 3 復号
- 4 PLL
- 5 a 2値化手段
- 6 a エラー検出
- 7 DCキャンセル手段

【書類名】 図面

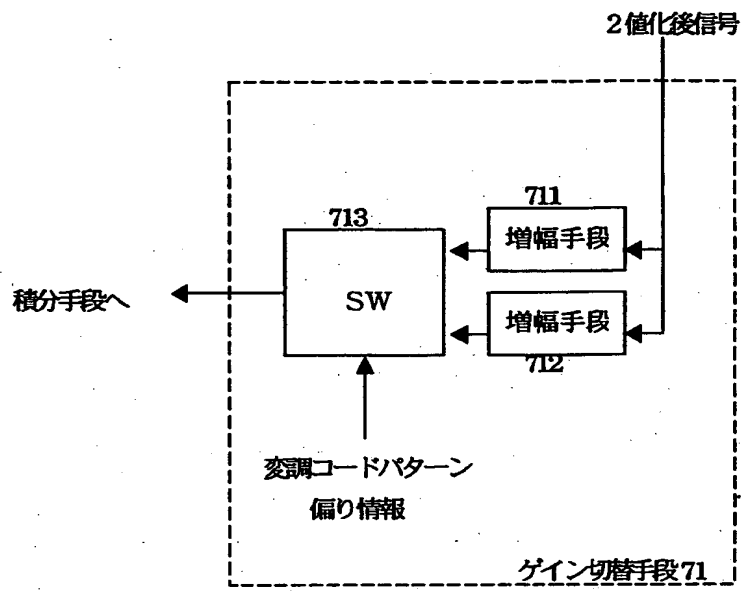
【図 1】



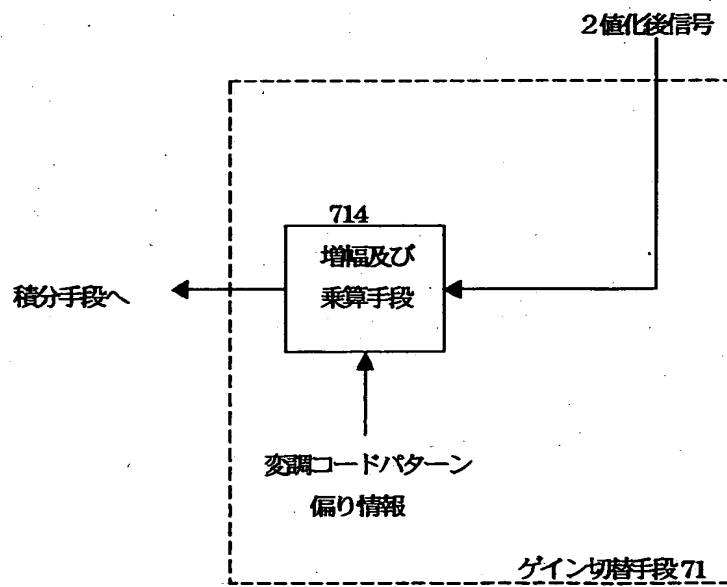
【図 2】



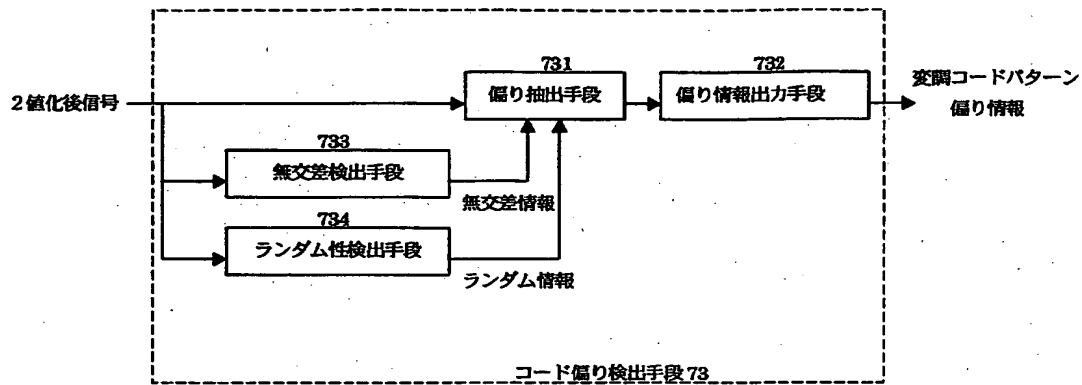
【図3】



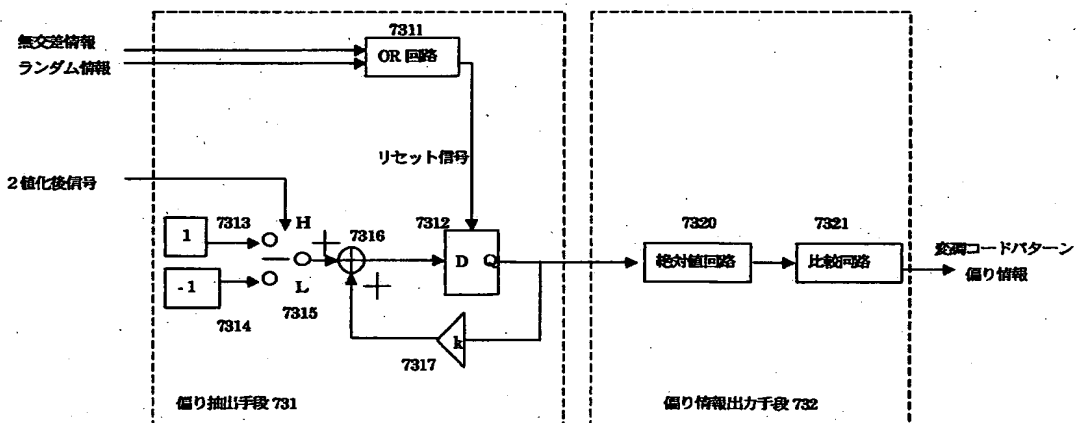
【図4】



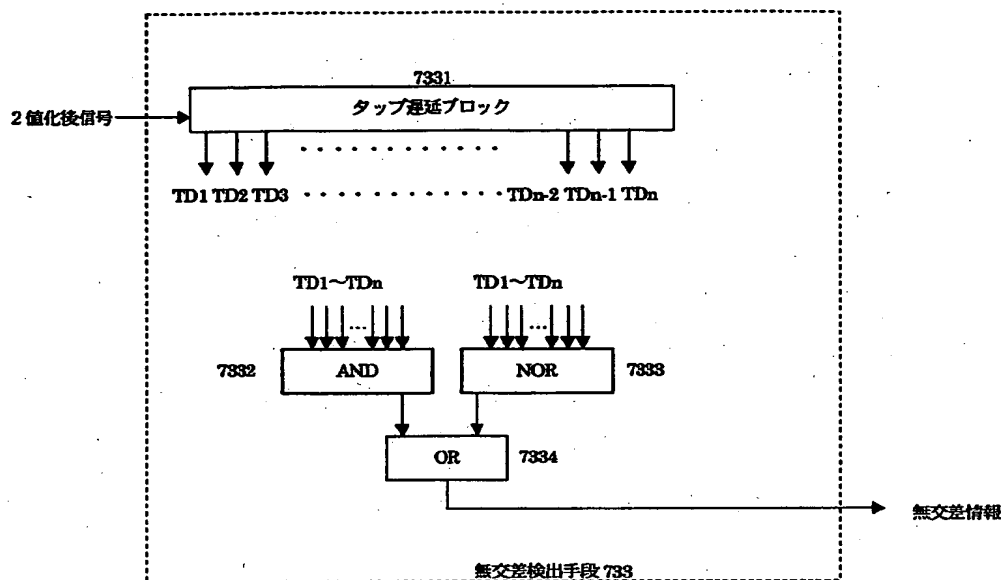
【図 5】



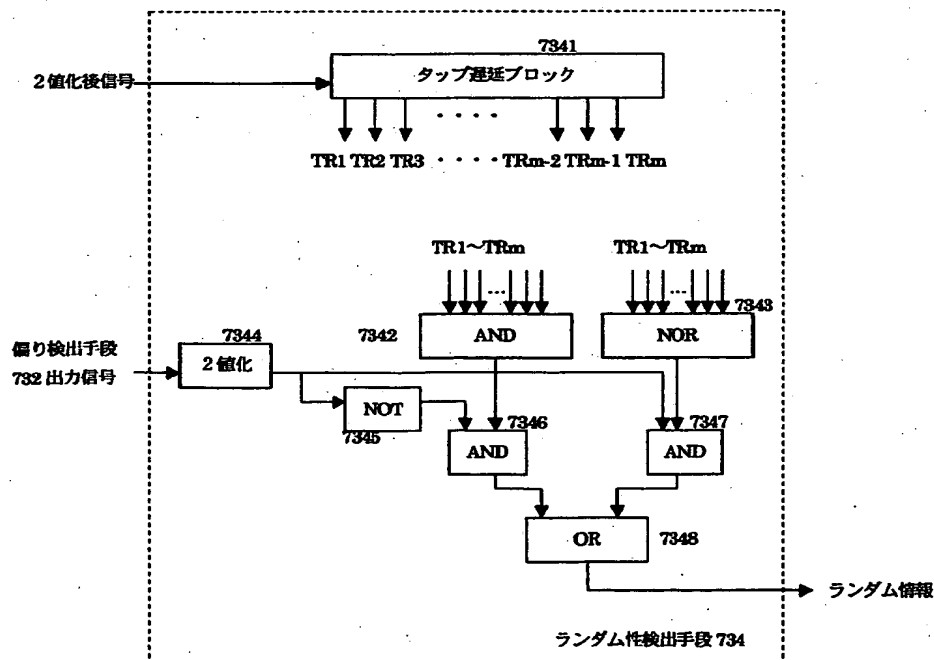
【図 6】



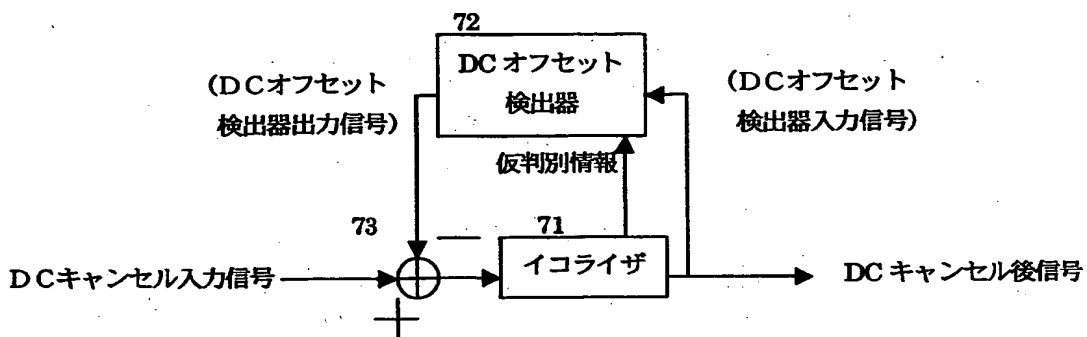
【図7】



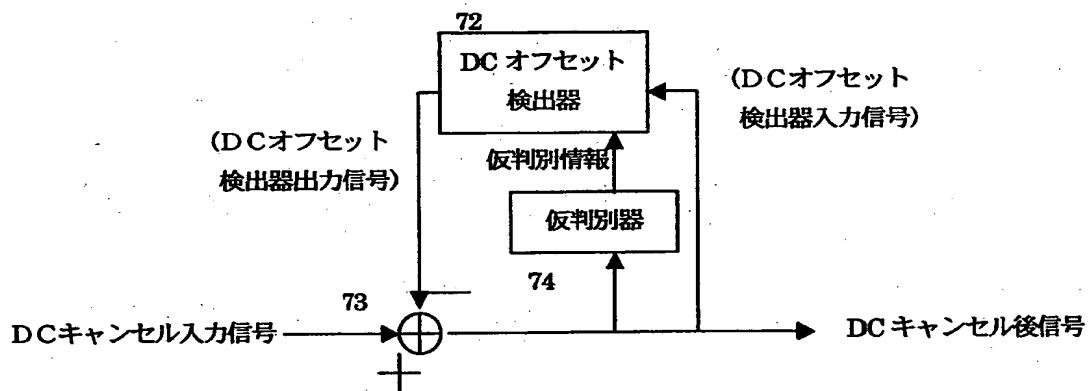
【図8】



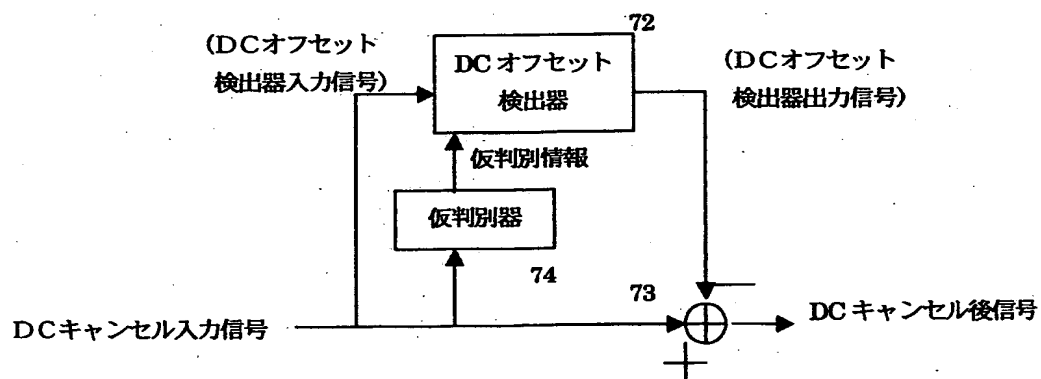
【図 9】



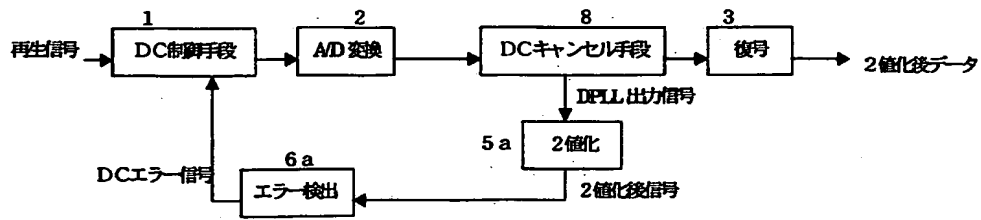
【図 10】



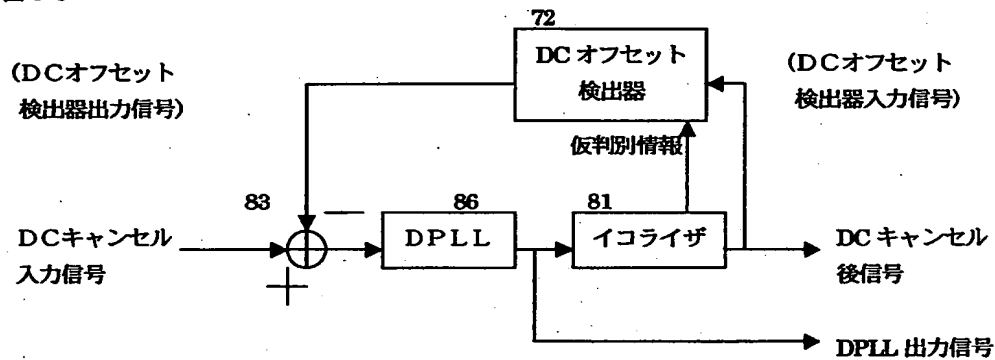
【図 11】



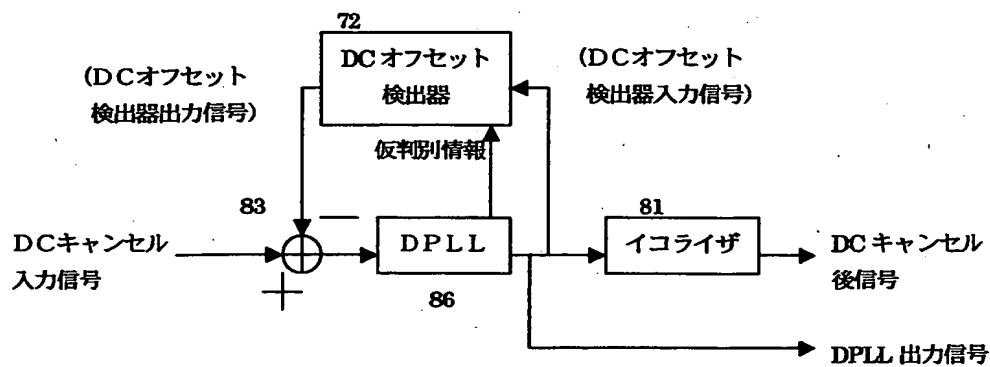
【図 1 2】



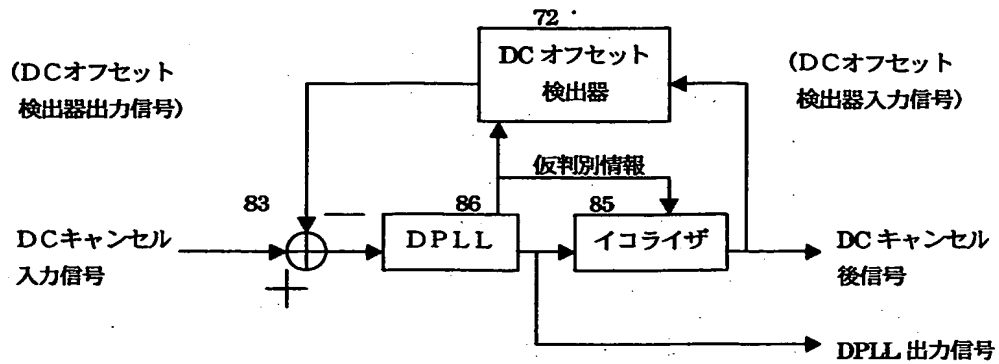
【図 1 3】



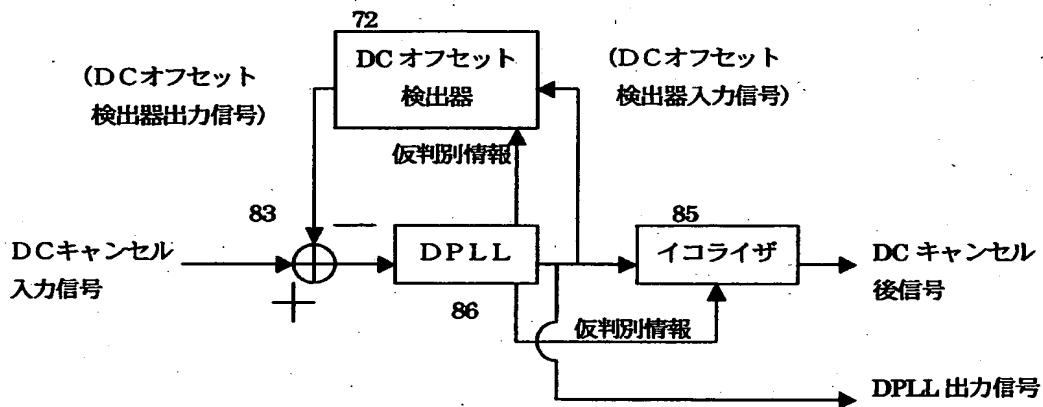
【図 1 4】



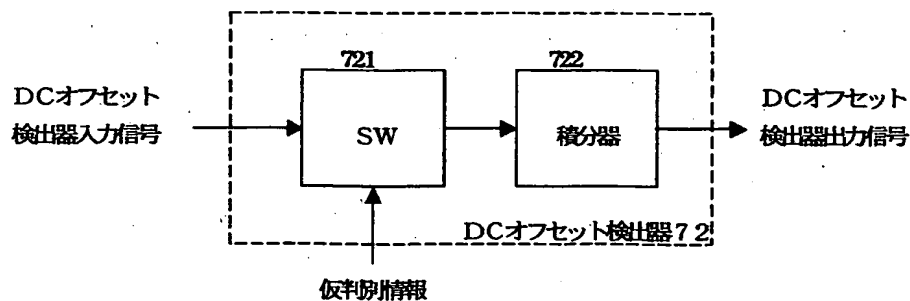
【図15】



【図16】

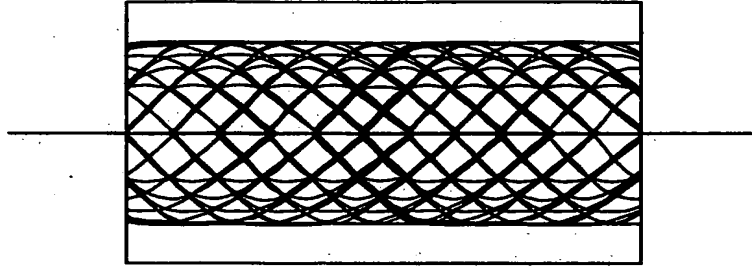


【図17】

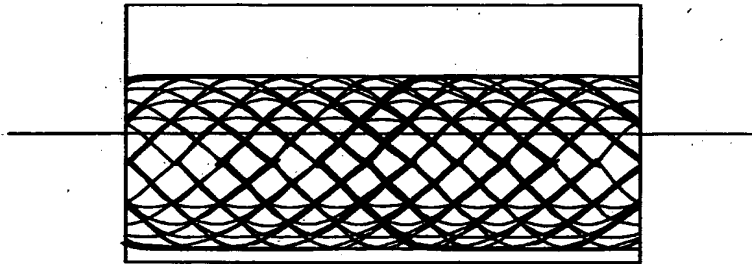


【図 1 8】

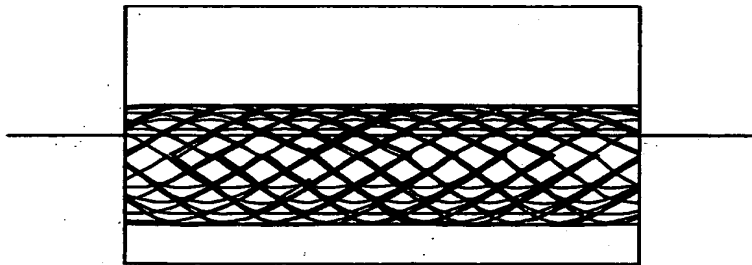
(a)



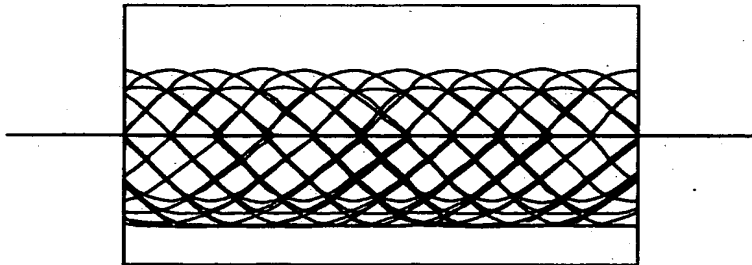
(b)



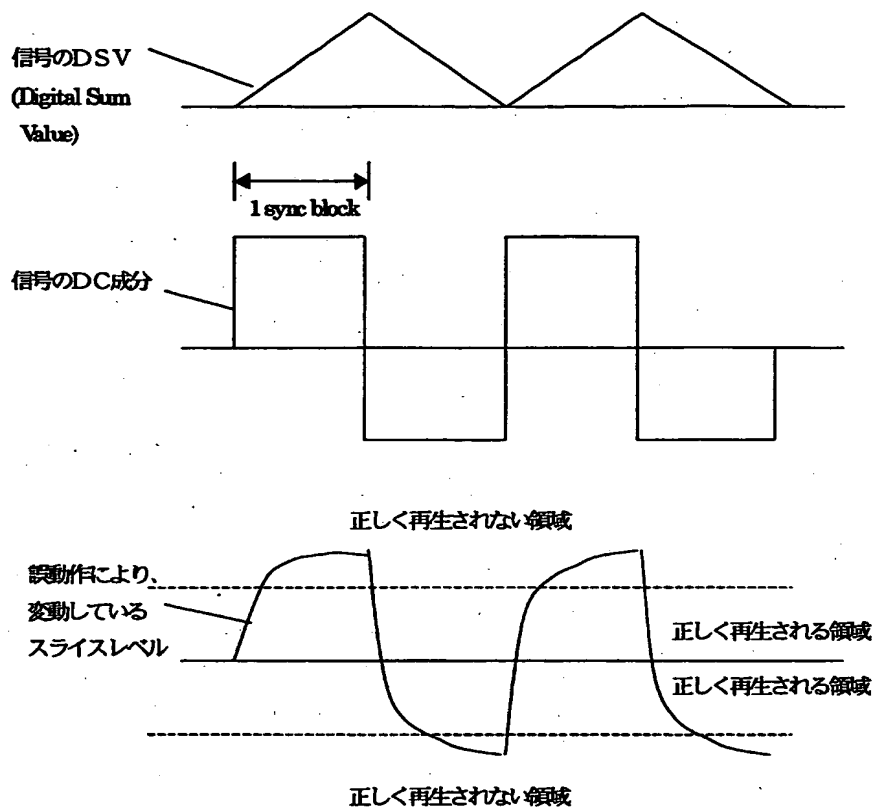
(c)



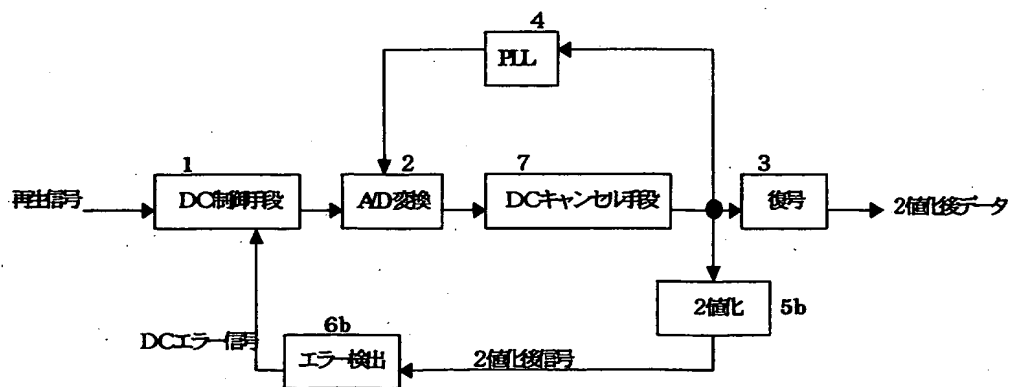
(d)



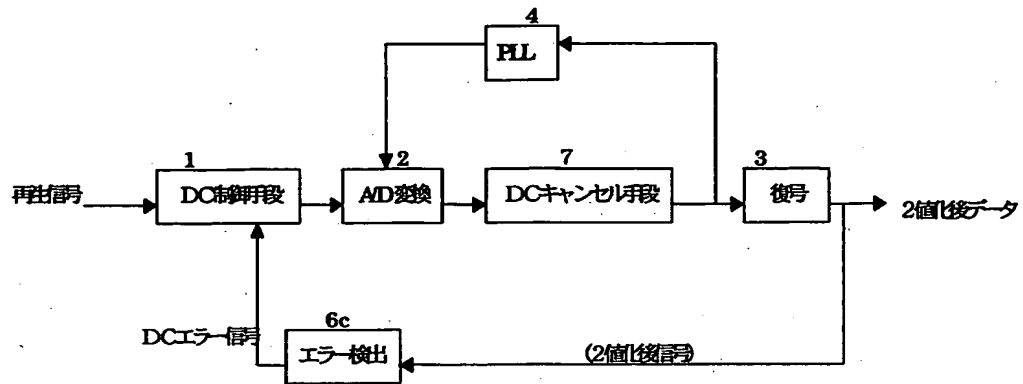
【図19】



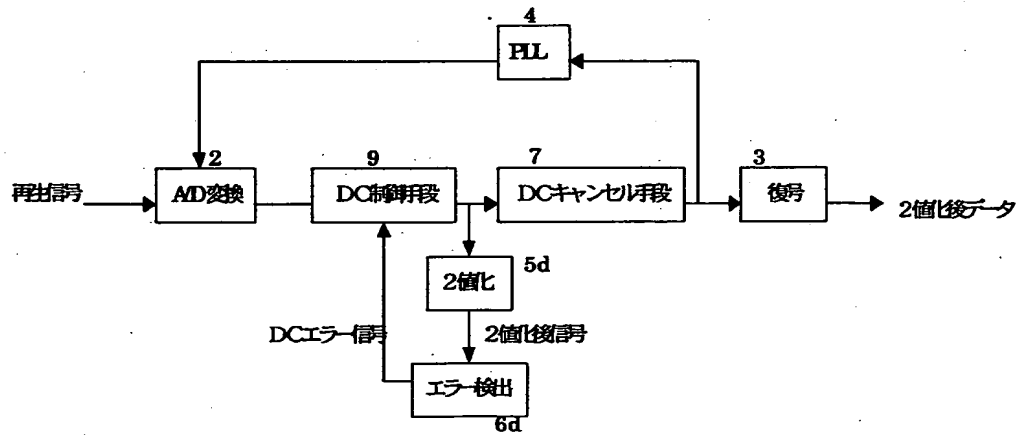
【図20】



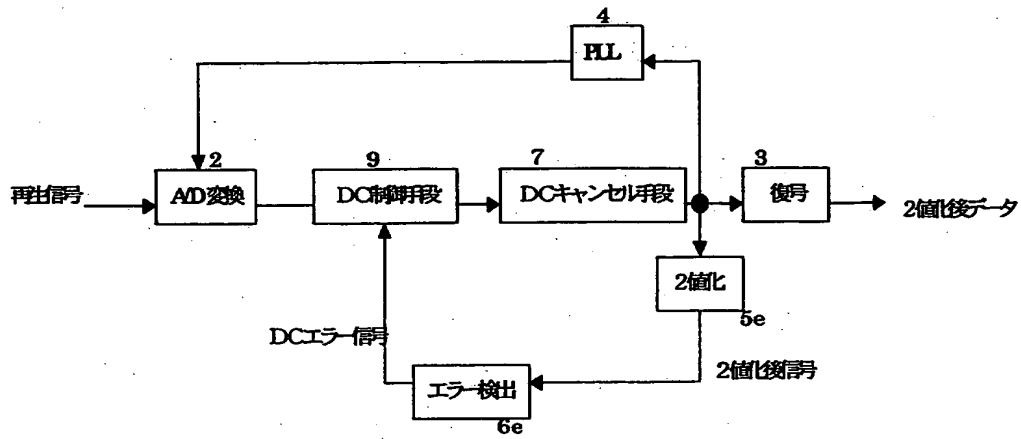
【図 21】



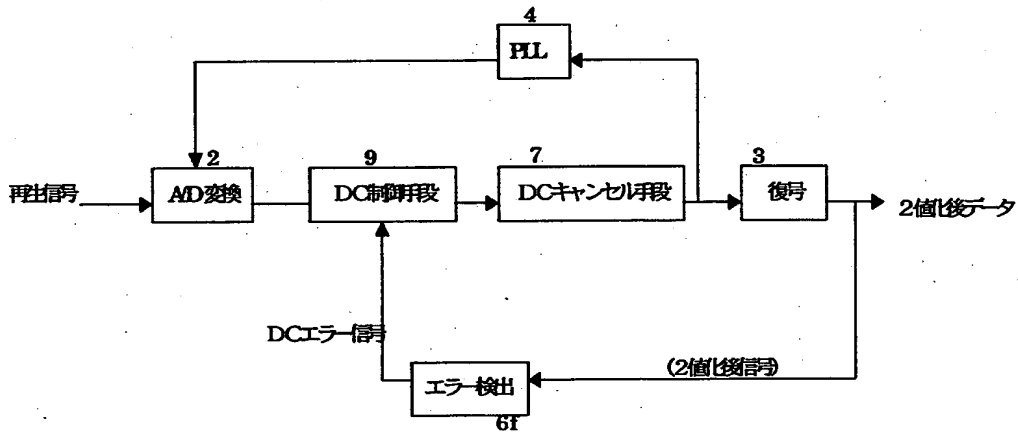
【図 22】



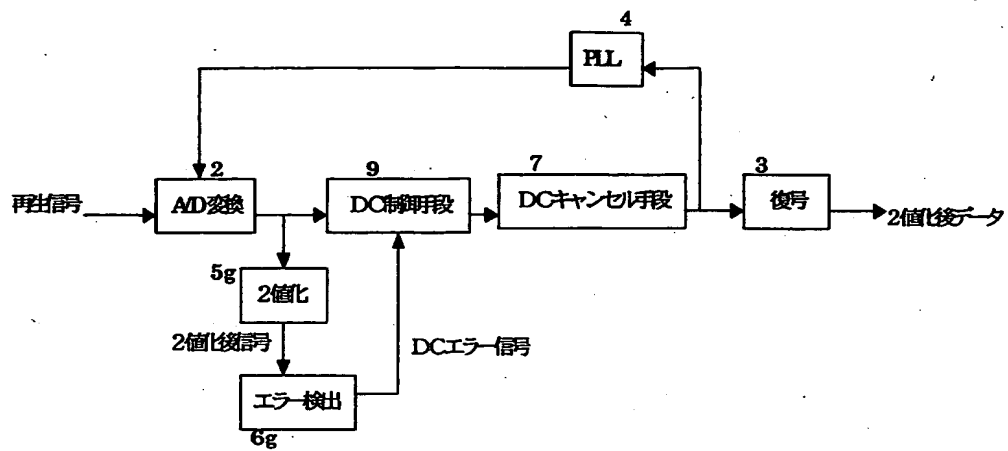
【図 23】



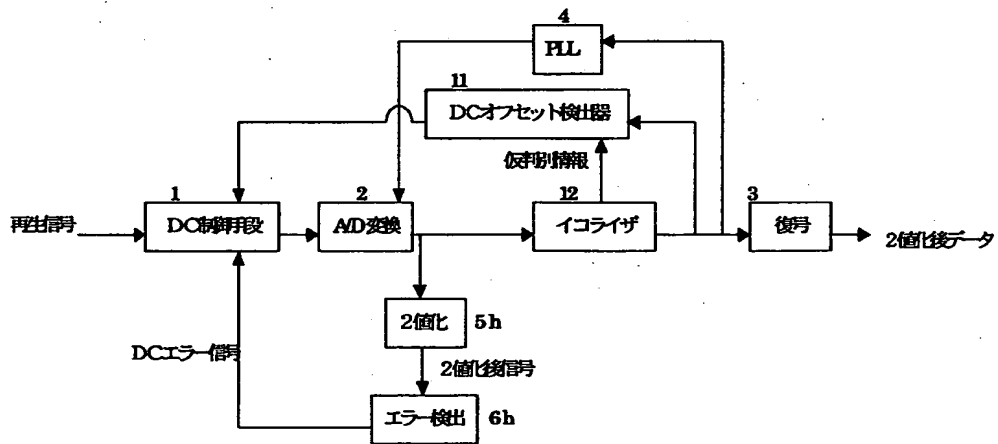
【図 24】



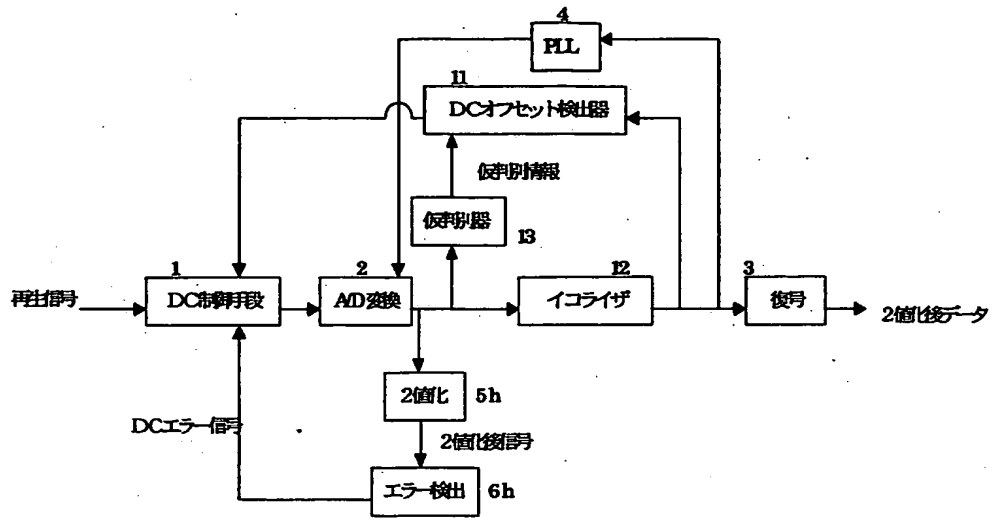
【図 25】



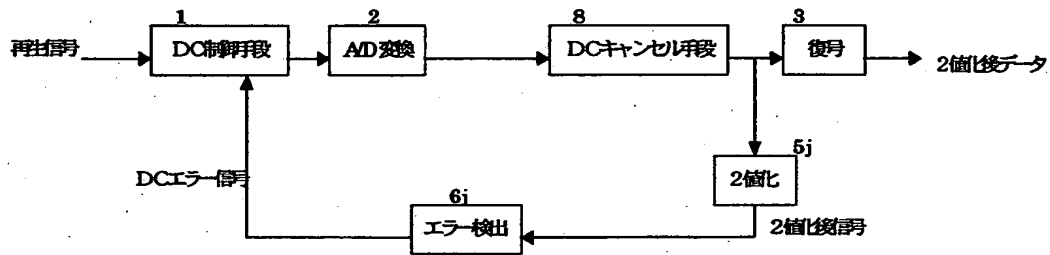
【図 26】



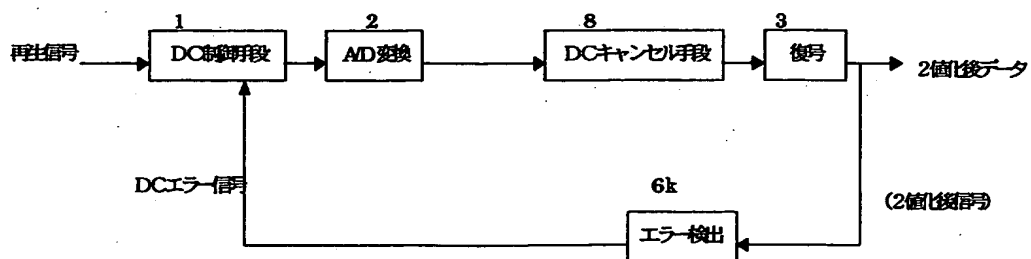
【図27】



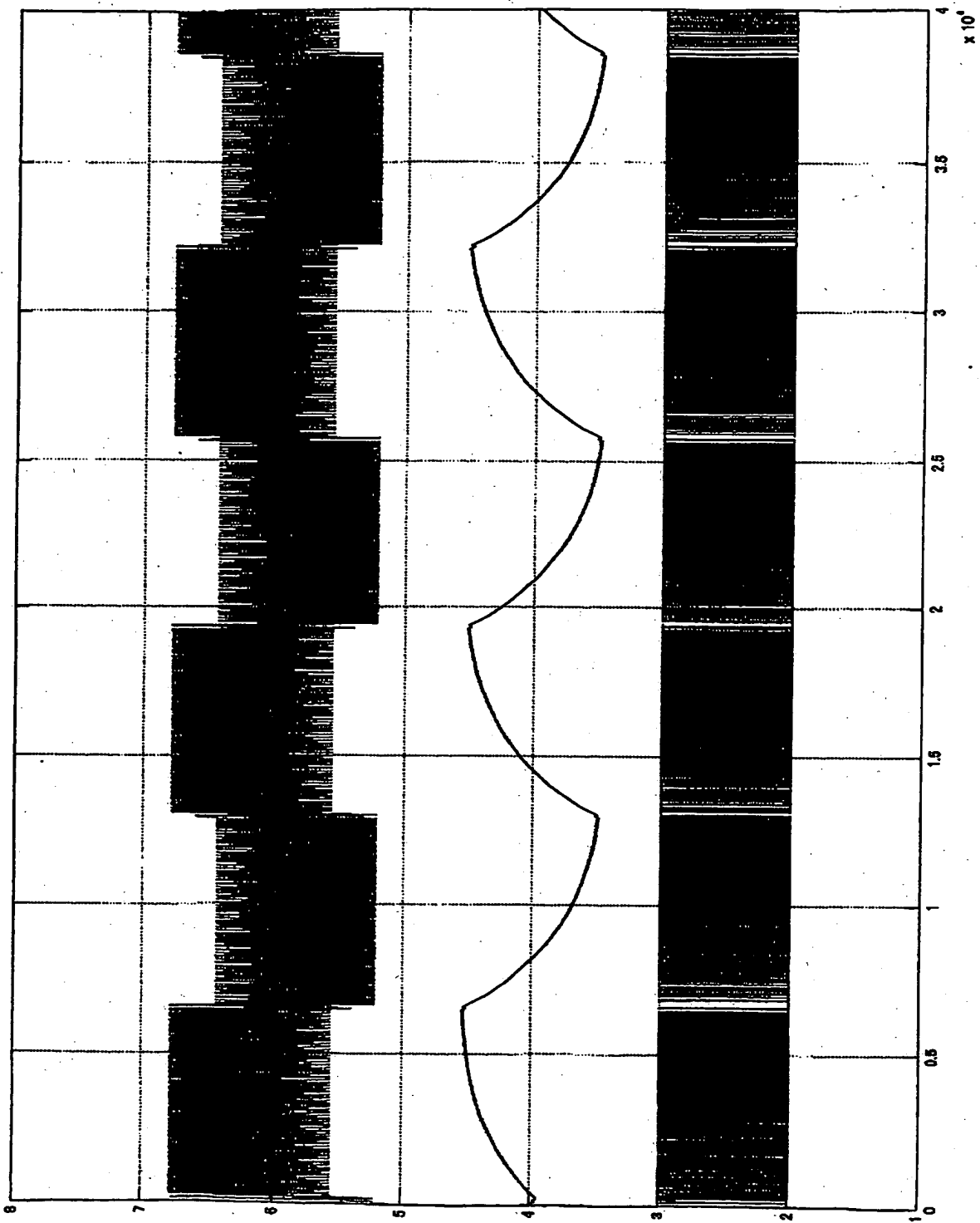
【図28】



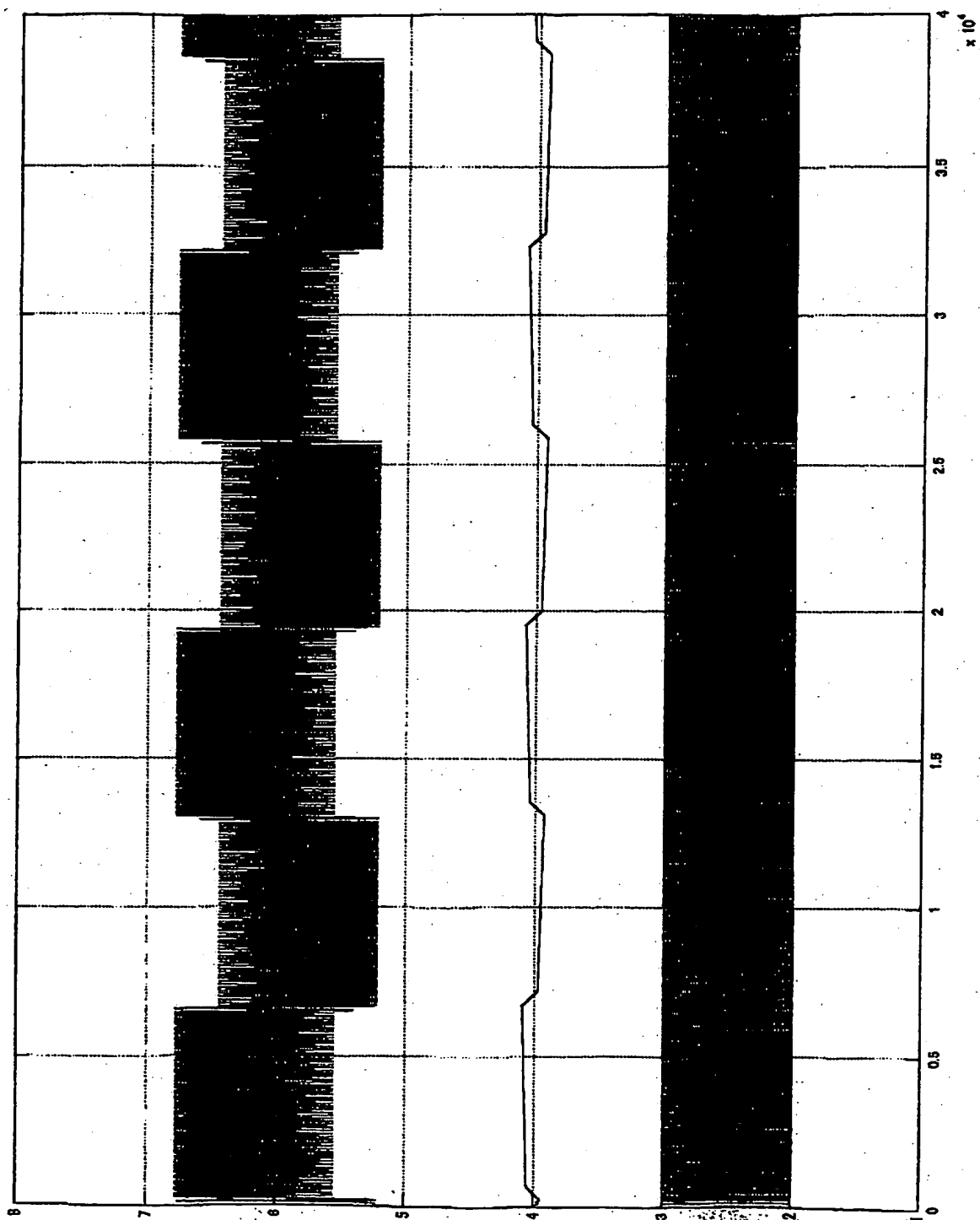
【図29】



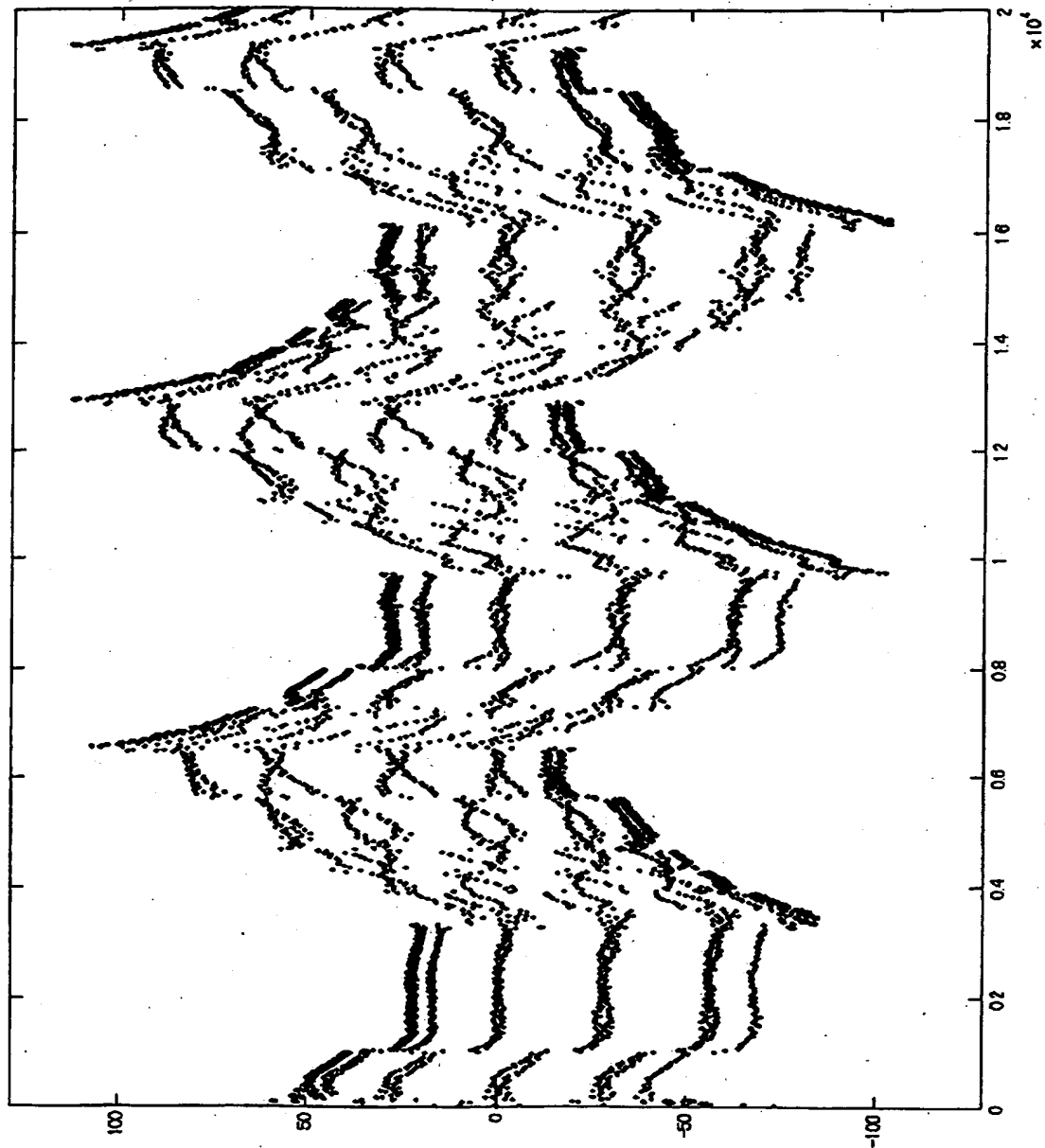
【図30】



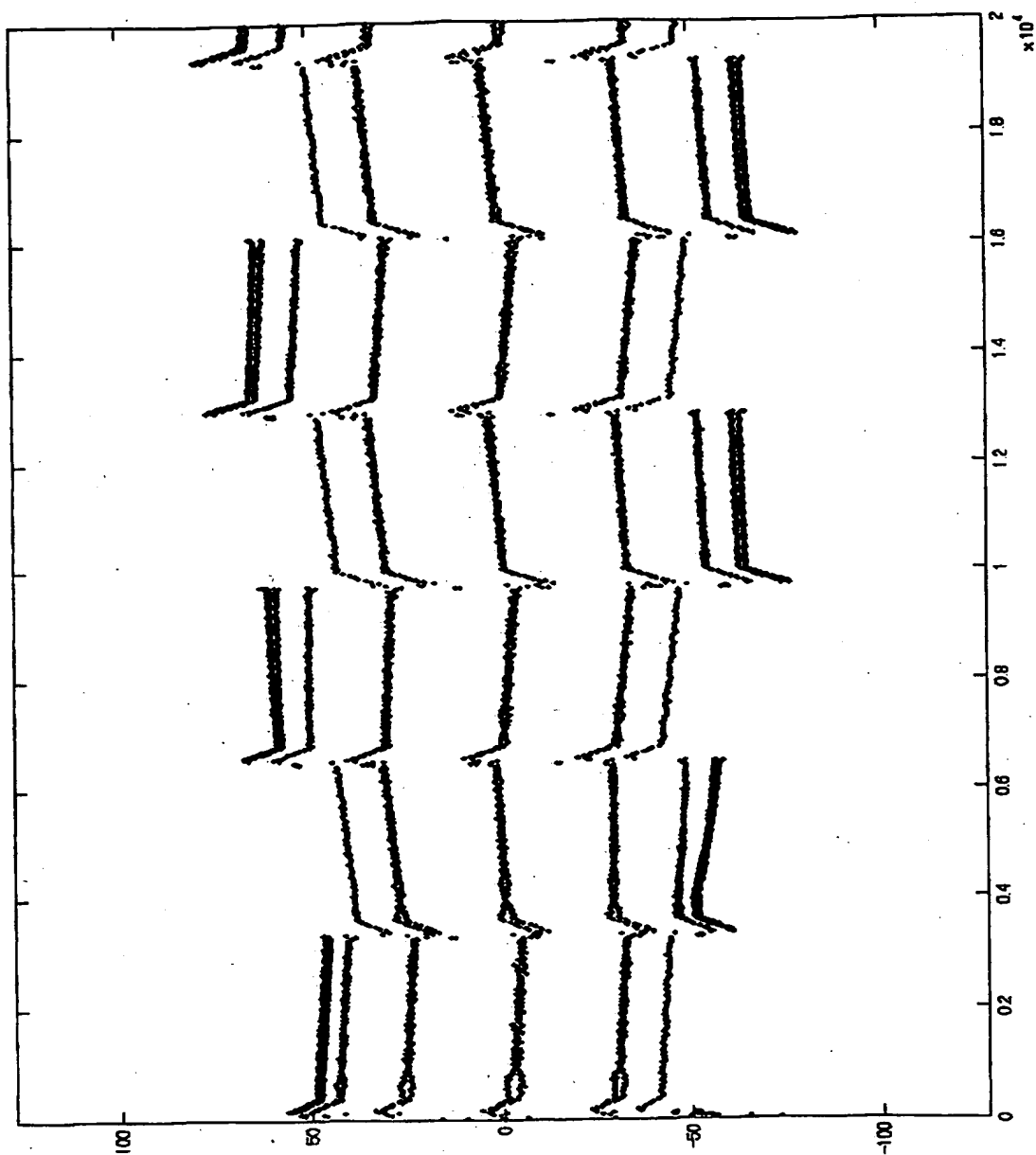
【図31】



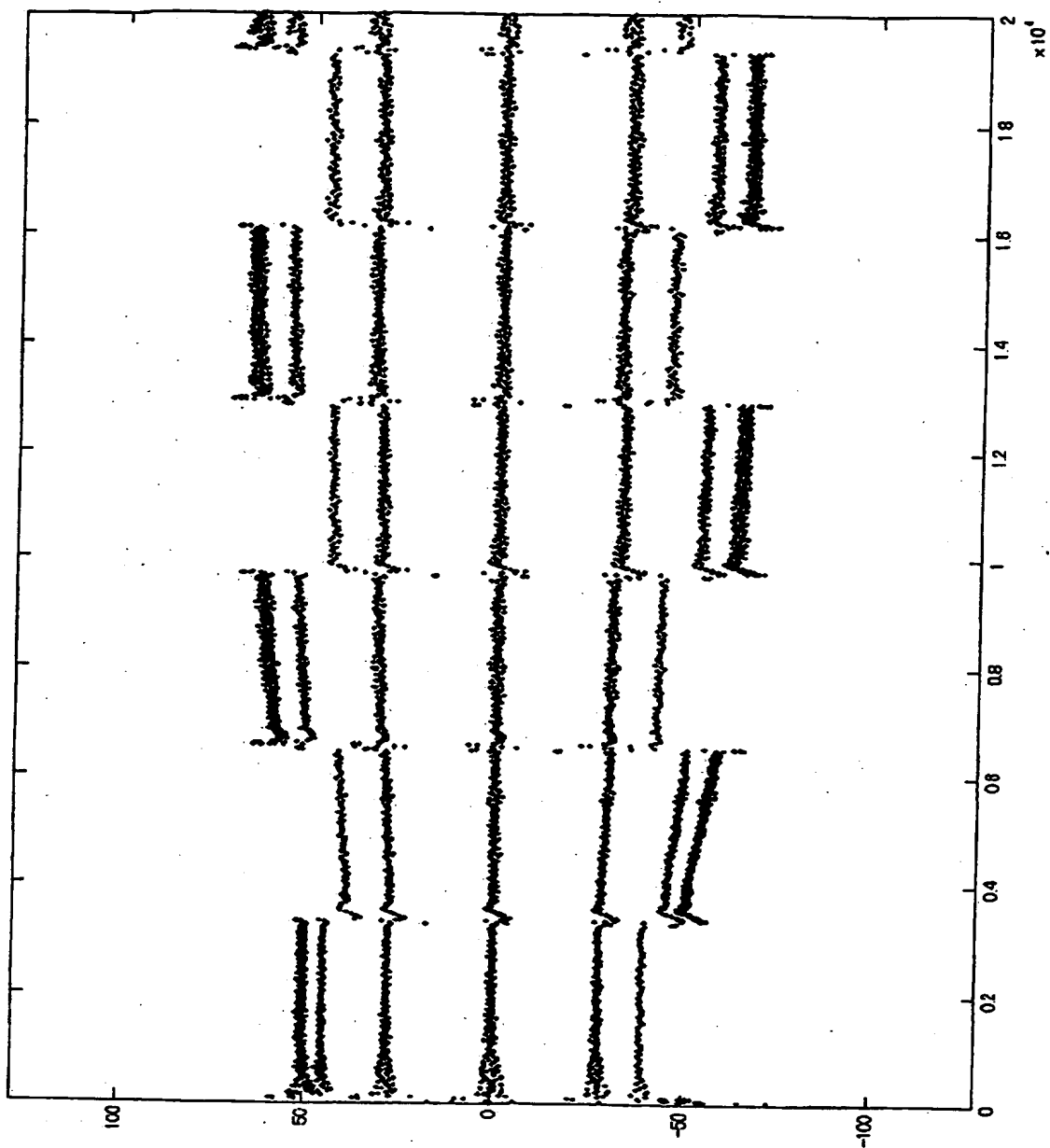
【図32】



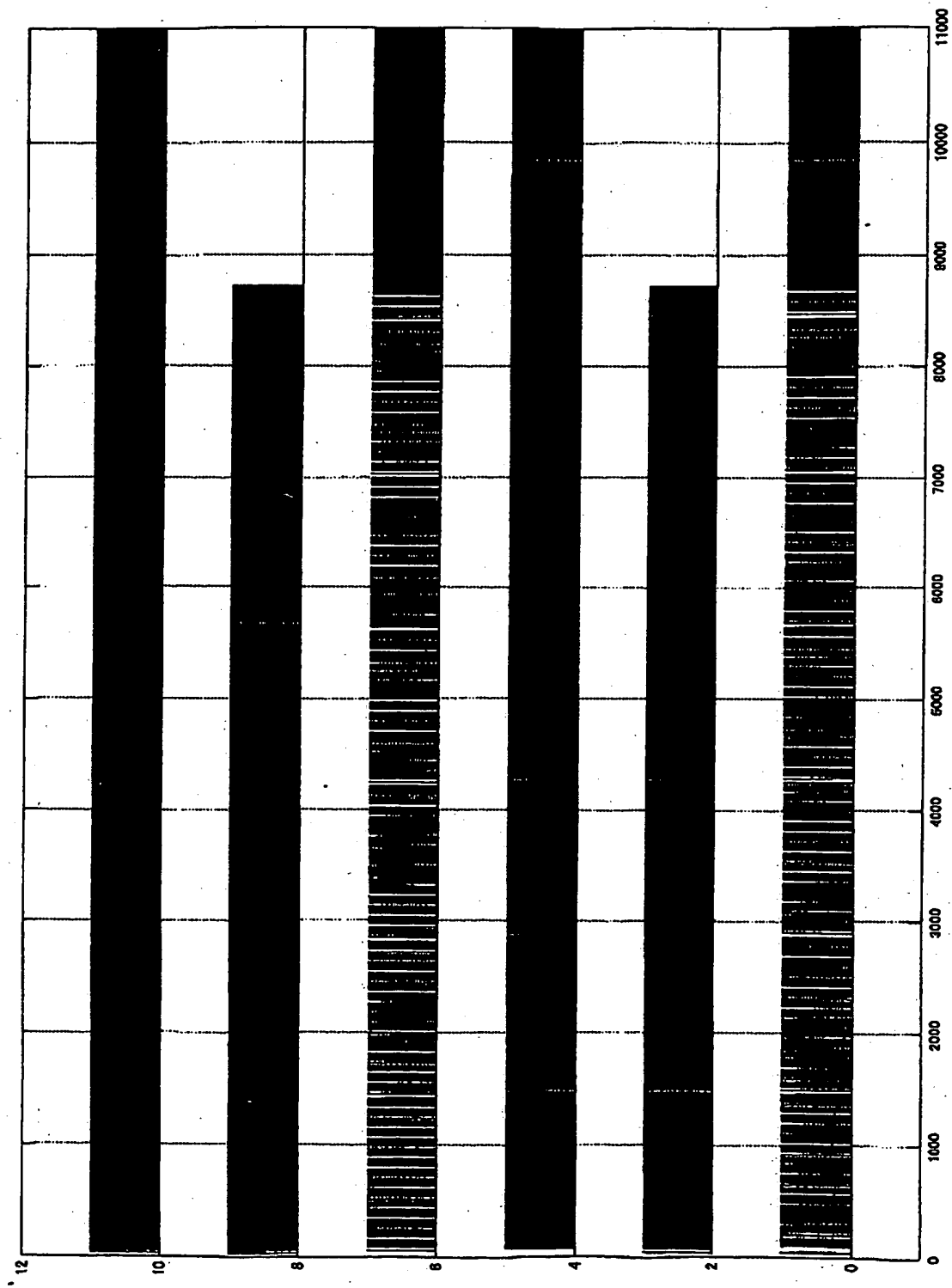
【図33】



【図34】



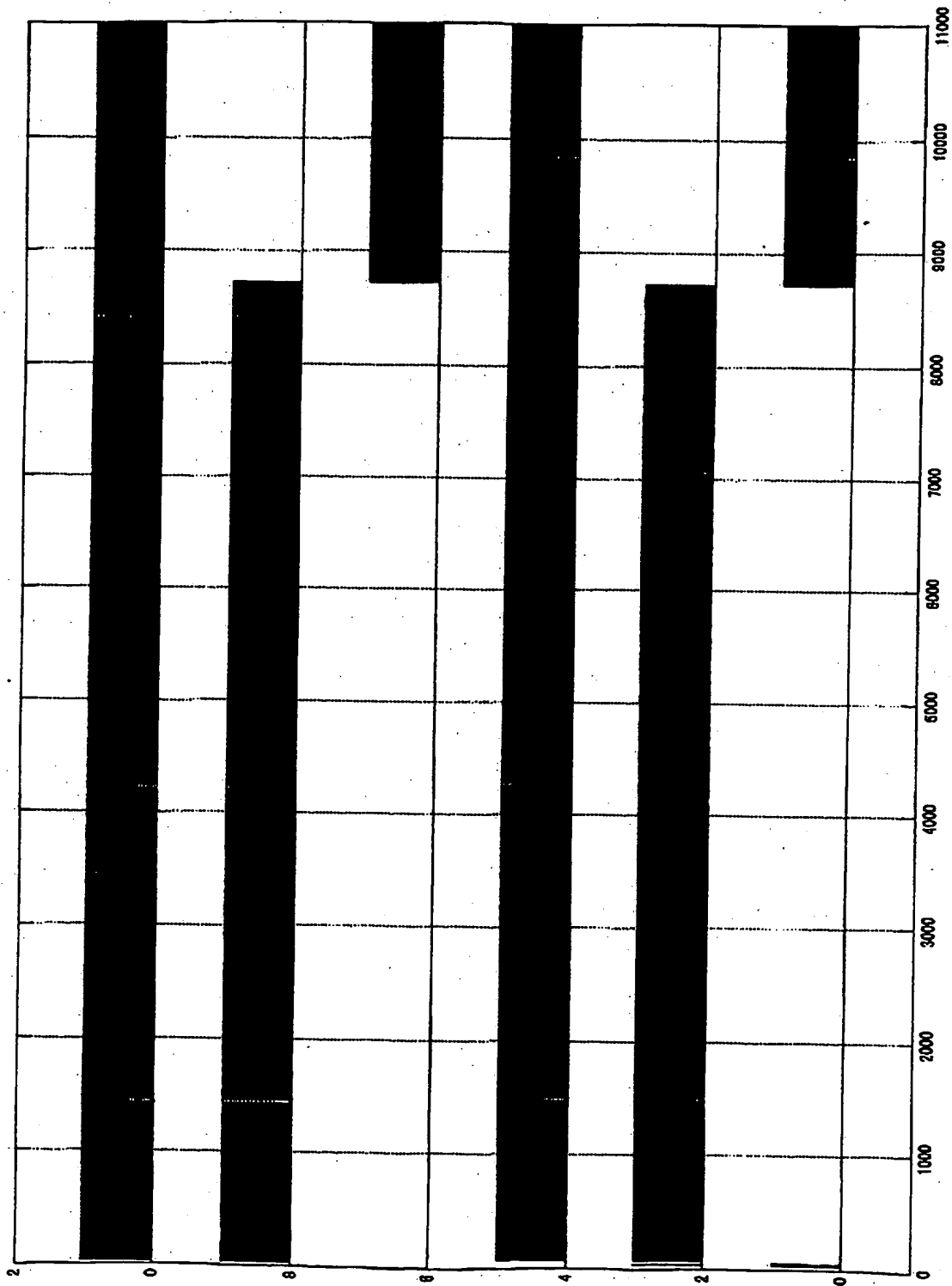
【図35】



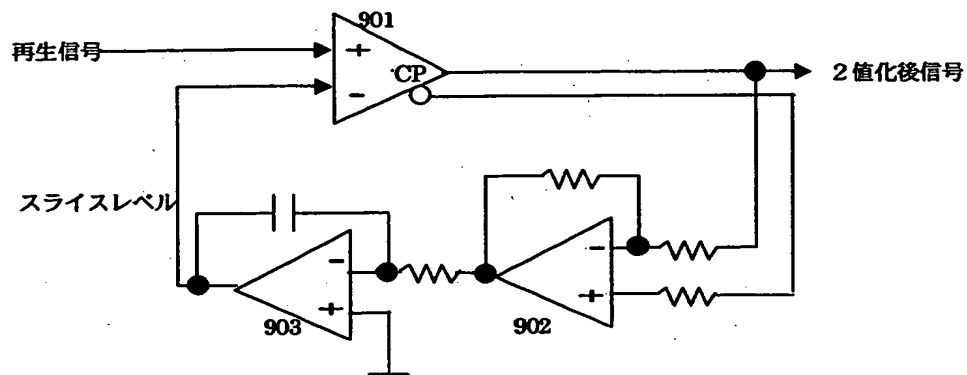
【図36】



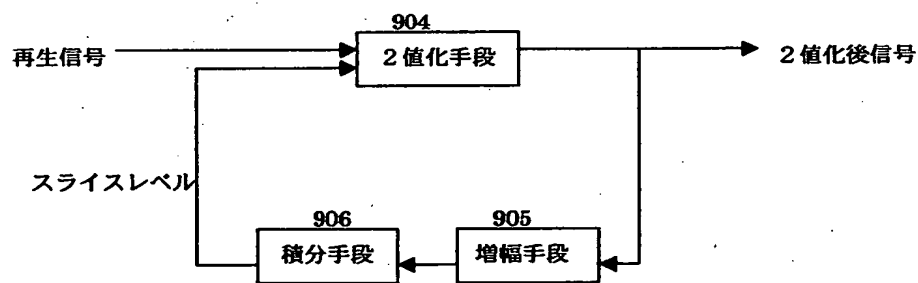
【図37】



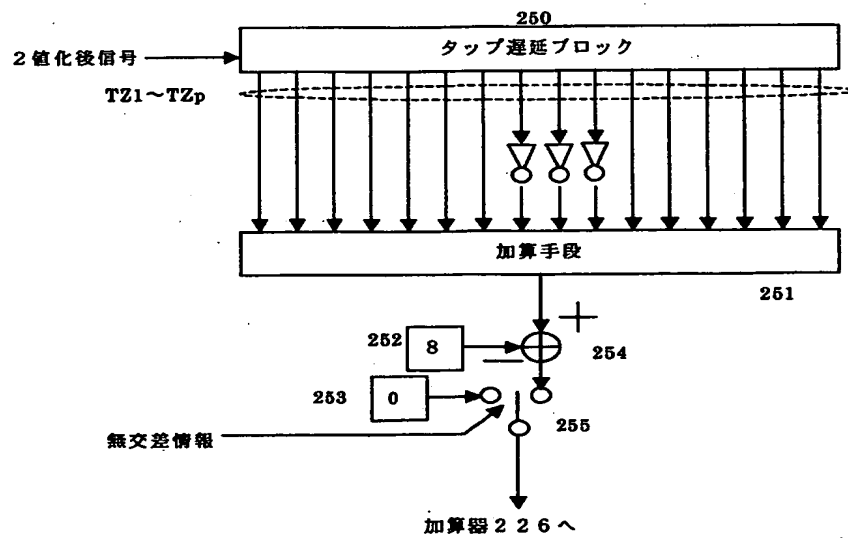
【図38】



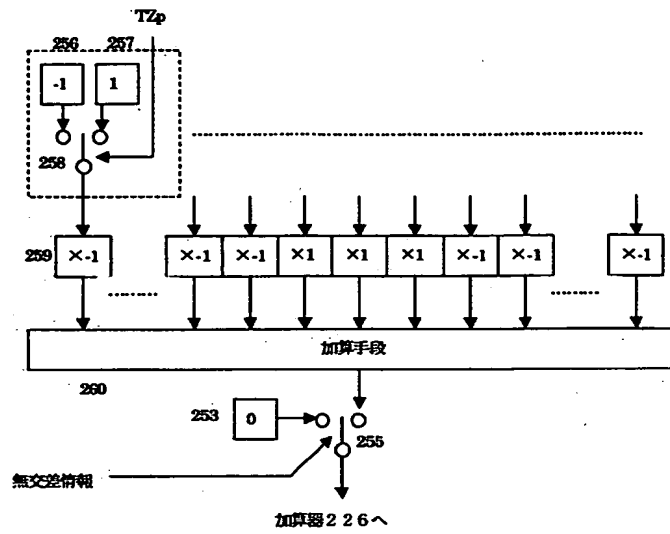
【図39】



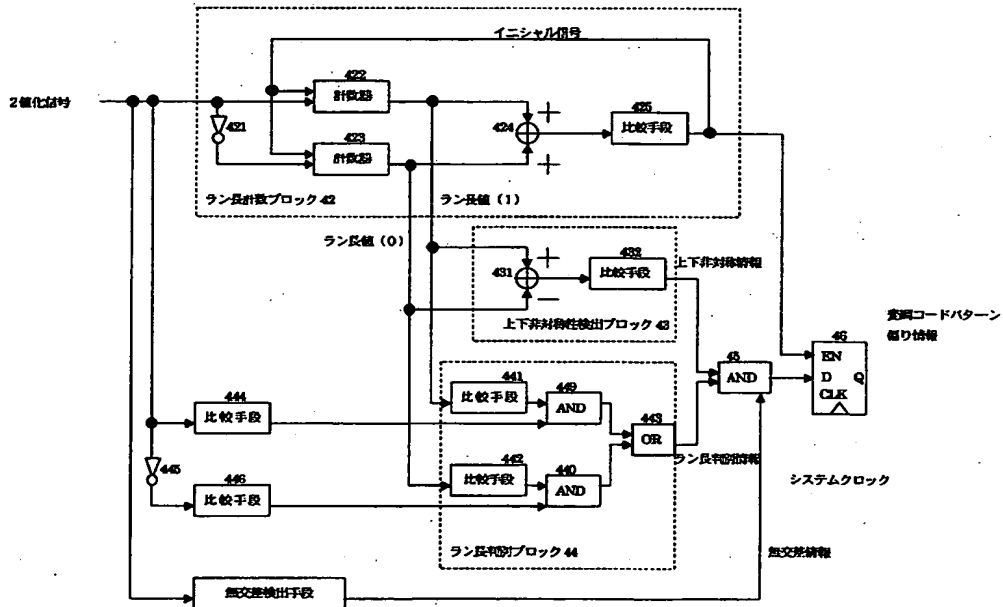
【図40】



【図41】



【図42】



【書類名】 要約書

【要約】

【課題】 従来は再生時にスライスレベルコントロールを行っているものの、記録される変調信号の変調コードパターンに偏りが生じた場合に、誤動作を起こし、正しい検出を行うことが出来ず、結果として変調効率が改善できなかった。

【解決手段】 コード偏り検出手段が出力する変調コードパターン偏り情報に基づき、前記スライスレベル制御における応答特性を変化させる、もしくはその制御をホールドし、さらにDCキャンセル手段を追加することにより、正しい再生データが得られ、コード偏り検出手段は2値化後信号の低域成分を検出するとともに、同じく2値化後信号から抽出した無交差情報及びランダム情報に基づいてリセットをかける構成としているので、変調コードパターンの偏りに迅速に対応し、かつ、従来の特性に影響を与えず、さらに小さな回路規模で構成が可能である。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000004329]

1. 変更年月日 1990年 8月 8日

[変更理由] 新規登録

住 所 神奈川県横浜市神奈川区守屋町3丁目12番地

氏 名 日本ビクター株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.